

Оптимизация алгоритма DDS методом компенсации паразитных составляющих

А. А. Шауэрман, А. В. Борисов, Л. Ю. Забелин

В статье рассматривается метод построения генераторов сигналов с прямым цифровым синтезом (DDS) на основе архитектуры с усеченным фазовым аккумулятором. Предлагается метод уменьшения паразитных составляющих генерируемого сигнала за счет применения ПЛИС. Для исследования алгоритмов цифровой обработки сигналов, в частности генераторов DDS, был разработан специальный стенд на основе ПЛИС Cyclon IV, АЦП и ЦАП. Схемы генераторов основаны на применении языка Verilog и системы автоматизированного проектирования QUARTUS Prime. Приведены результаты исследования генераторов на основе ПЛИС.

Ключевые слова: DDS, ПЛИС, фазовый аккумулятор, Verilog.

1. Введение

В телекоммуникационном оборудовании для большинства алгоритмов модуляции необходимо использовать генераторы гармонического колебания. Например, для получения квадратурных составляющих требуется два генератора со смещенной на 90 градусов фазой. В схемах передачи с несколькими несущими или в системах пространственного кодирования типа MIMO (Multiple Input Multiple Output) число таких генераторов соответственно возрастает. В настоящее время наибольшее распространение получили генераторы прямого цифрового синтеза DDS (Direct Digital Synthesizer) на основе архитектуры с усечением фазы [1].

Усечение фазы является важным аспектом архитектуры DDS. На вход адресов ПЗУ поступают не все значения регистра фазы, а только P старших разрядов. Для примера рассмотрим DDS с 32-разрядным аккумулятором фазы. Для прямого преобразования 32 бит фазы в соответствующую амплитуду потребуется в ПЗУ хранить 2^{32} отсчета синуса. Если положить, что каждый отсчет хранится с 8-разрядной точностью, то потребуется 4 гигабайта памяти. Увеличение разрядности аккумулятора фазы не требует обязательного увеличения размера ПЗУ. Для адресации можно использовать лишь необходимое количество старших разрядов кода фазы. Например, в 32-разрядном DDS можно использовать только старшие 12 бит регистра фазы. В этом случае младшие 20 бит будут проигнорированы (усечены). В результате требуемый объем ПЗУ составит 2^{12} отсчетов, или 4096 байт.

Однако фазовые ошибки, вносимые усечением разрядности регистра аккумулятора, приводят к ошибкам амплитуды в процессе преобразования фазы в амплитуду и в результате – к образованию паразитных гармонических составляющих, значительно ухудшающих отношение сигнал/шум (Signal-to-Noise Ratio, SNR) в генерируемом сигнале.

При аппаратной реализации алгоритма DDS на сигнальном процессоре, ПЛИС или в виде специализированной интегральной микросхемы наиболее дорогостоящим ресурсом является память для хранения отсчетов синуса. Важной задачей является оптимизация алгоритма DDS таким образом, чтобы при заданном отношении сигнала к шуму для аппаратной реализации требовалось как можно меньше ячеек постоянного запоминающего устройства (ПЗУ). Один из очевидных методов сокращения объема ПЗУ, применяемый на практике, основывается на свойствах симметрии синуса – в большинстве DDS в ПЗУ содержится только 1/4 пе-

риода. Однако при этом немного усложняется логика формирования адреса. Другое направление оптимизации – это компенсация искажений, вызванных технологией усечения фаз. Это позволяет значительно (на несколько двоичных порядков) сократить объем ПЗУ при сохранении требуемого отношения сигнал/шум.

Очевидно, что поиск и разработка алгоритмов реализации DDS с наименьшим потреблением дорогостоящих аппаратных ресурсов является актуальной задачей.

2. Алгоритм компенсации паразитных составляющих

В работах [2, 3, 4] описаны методы компенсации паразитных составляющих, возникающих в результате усечения фазы. В работе [4] автором предложен эффективный метод компенсации с использованием двух DDS: первый DDS генерирует обыкновенный сигнал, второй – сигнал ошибки. С помощью аналогового сумматора сигналы смешиваются, в получившемся сигнале динамический диапазон, свободный от паразитных составляющих (Spurious-Free Dynamic Range, SFDR), увеличивается. С использованием ПЛИС этот метод может быть усовершенствован: оптимизация позволила отказаться от второго DDS, сигнал ошибки сформировать в цифровом виде, а аналоговый сумматор заменить цифровым.

Сигнал на выходе генератора DDS с учетом усечения фазы может быть записан следующим образом:

$$s(m) = \sin\left(\frac{2\pi}{2^A} \left(m \cdot D - \text{mod}(m \cdot D, 2^{A-P})\right)\right), \quad (1)$$

где A – разрядность аккумулятора фазы до усечения;

P – разрядность фазы после усечения;

D – код частоты;

mod – остаток от деления;

m – порядковый номер отсчета на выходе генератора.

Выражение (1) не учитывает эффекта квантования, здесь и далее положим, что разрядность отсчетов в ПЗУ и разрядность ЦАП значительно превышает разрядность фазы, следовательно, составляющие спектра, обусловленные квантованием, много меньше составляющих, возникших в результате эффекта усечения фаз, и могут не учитываться.

Используя тригонометрическое преобразование, запишем выражение (1) в виде:

$$s(m) = \sin\left(\frac{2\pi}{2^A} \cdot m \cdot D\right) \cos\left(\frac{2\pi}{2^A} \cdot \text{mod}(m \cdot D, 2^{A-P})\right) - \cos\left(\frac{2\pi}{2^A} \cdot m \cdot D\right) \sin\left(\frac{2\pi}{2^A} \cdot \text{mod}(m \cdot D, 2^{A-P})\right). \quad (2)$$

При условии, что

$$\text{mod}(m \cdot D, 2^{A-P}) \ll 2^A,$$

можно утверждать, что

$$\sin\left(\frac{2\pi}{2^A} \cdot \text{mod}(m \cdot D, 2^{A-P})\right) \approx \frac{2\pi}{2^A} \cdot \text{mod}(m \cdot D, 2^{A-P}) \quad (3)$$

$$\cos\left(\frac{2\pi}{2^A} \cdot \text{mod}(m \cdot D, 2^{A-P})\right) \approx 1.$$

С учетом (3) выражение для выходного сигнала примет вид:

$$s(m) = \sin\left(\frac{2\pi}{2^A} \cdot m \cdot D\right) - \cos\left(\frac{2\pi}{2^A} \cdot m \cdot D\right) \cdot \left(\frac{2\pi}{2^A} \cdot \text{mod}(m \cdot D, 2^{A-P})\right) \quad (4)$$

Очевидно, что первый компонент (4) представляет собой выходной сигнал DDS без эффекта усечения фазы, второй компонент – аддитивное искажение, которое может быть компенсировано сигналом коррекции:

$$cr(m) = \cos\left(\frac{2\pi}{2^A} \cdot m \cdot D\right) \cdot \left(\frac{2\pi}{2^A} \cdot \text{mod}(m \cdot D, 2^{A-P})\right). \quad (5)$$

Итоговый сигнал без ошибки усечения фазы:

$$s'(m) = s(m) + cr(m) \quad (6)$$

Операция коррекции может быть выполнена в цифровом виде аппаратно. Сигнал коррекции представляет собой произведение отмасштабированной функции косинуса на остаток от деления мгновенной фазы на константу 2^{A-P} . Для получения функции косинуса из синуса достаточно сдвинуть фазу на 90° . Если делитель числа может быть записан в форме 2^X , где X – целое число, то для операции остатка от деления достаточно взять от числа младшие X бит. В цифровом виде данная операция выполняется элементарно и не требует аппаратных средств.

Функциональная схема DDS с коррекцией эффекта усечения фазы показана на рис. 1. Цифровая часть схемы – генерация и цифровая коррекция – может быть выполнена в ПЛИС. Умножитель и сумматор реализуются в ПЛИС на аппаратных блоках либо на базовых логических элементах.

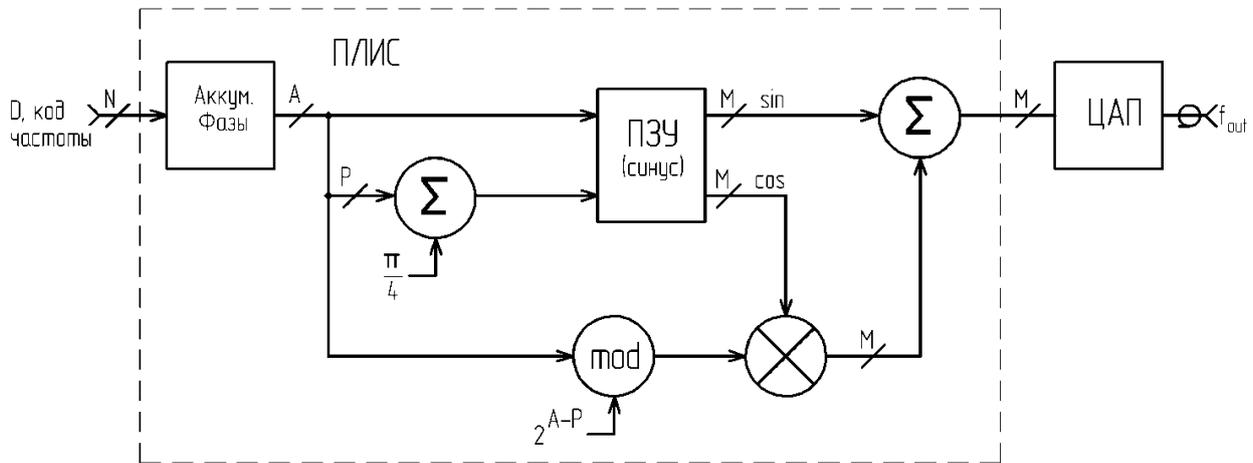


Рис. 1. Функциональная схема DDS с коррекцией

Очевидно, что при некоторых значениях кода частоты никакой ошибки не произойдет и составляющие в спектре не появятся, в то же время для других значений кода частоты D ошибка будет максимальной, а уровень паразитных гармоник будет наибольшим. Для того чтобы в спектре сигнала отсутствовали паразитные составляющие, значение D должно удовлетворять условию [1]:

$$\text{НОД}(D, 2^{A-P}) = 2^{A-P}, \quad (7)$$

где НОД – наибольший общий делитель.

Другими словами, D должно быть кратно 2^{A-P} .

Значение D , при котором наблюдается наибольший уровень паразитных гармоник, должно удовлетворять условию:

$$\text{НОД}(D, 2^{A-P}) = 2^{A-P-1}. \quad (8)$$

3. Моделирование алгоритма коррекции

Произведем моделирование численными методами в среде MathCAD. Для исследований выбираем простую архитектуру DDS, использующую 7-разрядный аккумулятор ($A = 7$), в котором для адресации ПЗУ используются старшие 5 разрядов ($P = 5$). Полный период для аккумулятора фазы составляет 128 шагов, полный период для адресов ПЗУ составляет 32 шага.

Рассмотрим случай, при котором наблюдается наибольший уровень паразитных гармоник, используя (8), находим, что $D = 2$. На рис. 2, 3 показаны сигнал на выходе DDS и его спектр. Спектр получен с помощью прямого дискретного преобразования Фурье и выражен в логарифмических единицах. Ось частоты нормирована относительно частоты дискретизации. Следует отметить, что разрядность ЦАП при моделировании не учитывается, поэтому характерные искажения сигнала («ступеньки») на временной диаграмме вызваны только эффектом усечения фаз. На спектре эти искажения выражены в виде гармоник с уровнем -26.2 дБ.

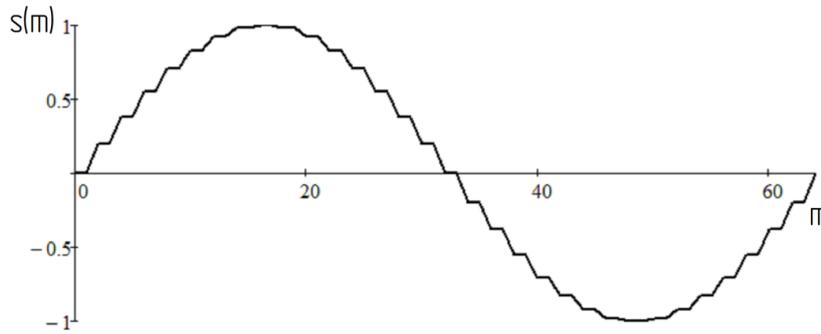


Рис. 2. Сигнал на выходе DDS для $D = 2$

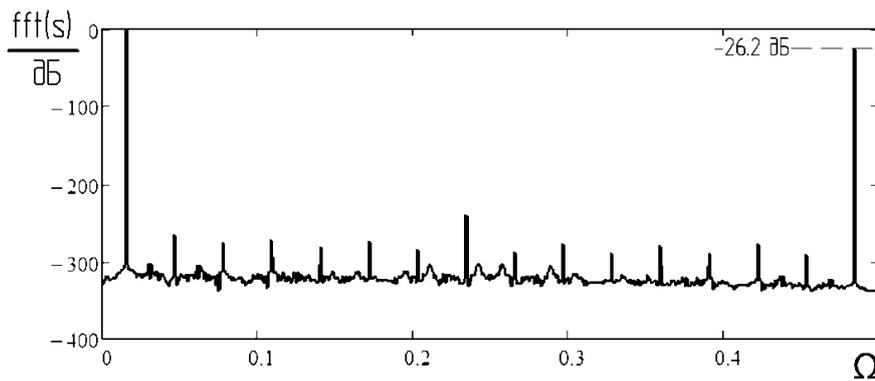


Рис. 3. Спектр сигнала на выходе DDS для $D = 2$

На рис. 4 показан сигнал коррекции, рассчитанный по (5).

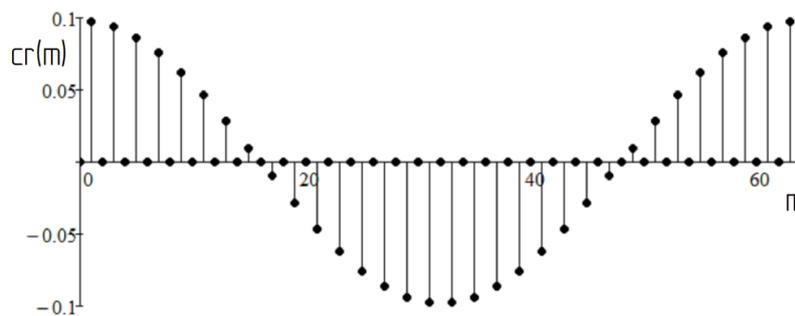


Рис. 4. Сигнал коррекции для $D = 2$

На рис. 5 изображен сигнал после коррекции, а на рис. 6 – его спектр. Для наглядности показана первая четверть периода сигнала.

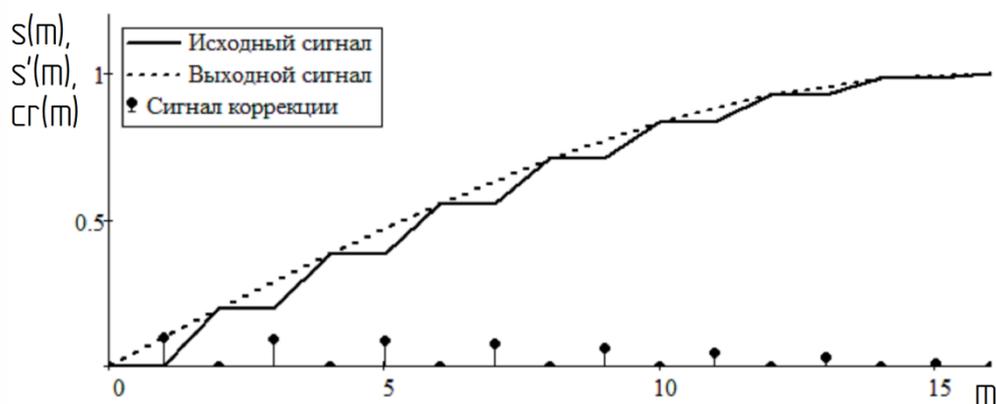


Рис. 5. Результат коррекции. Временная диаграмма

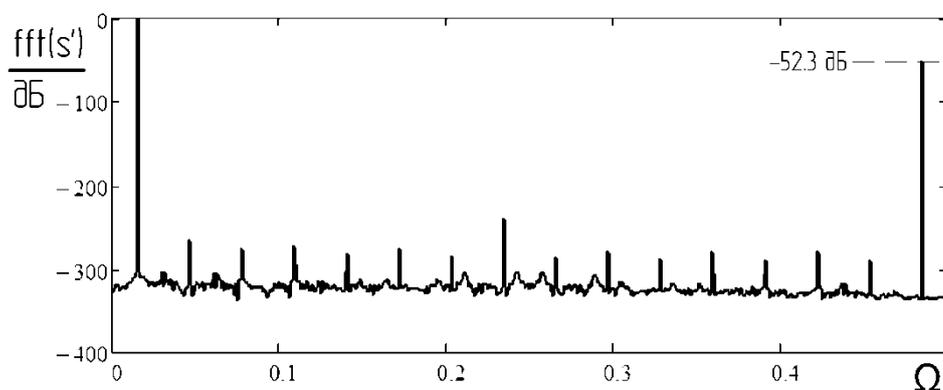


Рис. 6. Спектр сигнала на выходе DDS после коррекции

В результате коррекции уровень паразитной гармоники составил минус 52.3 дБ, что на 27.1 дБ лучше исходного.

Так как в спектре доминирует одна паразитная составляющая, то для визуальной оценки удобно и допустимо вместо интегрального параметра SNR использовать параметр SFDR. Используя полученную математическую модель, рассчитаем для различных P значение SFDR, результаты сведем в табл. 1 и построим график зависимости (рис. 7)

Таблица 1. SFDR для различных значений разрядности фазы

P	5	6	7	8	9	10	11	12
SFDR, дБ	26.17	32.20	38.22	44.24	50.26	56.28	62.30	68.32
SFDR, коррекция, дБ	52.34	64.40	76.44	88.48	100.53	112.57	124.61	136.65

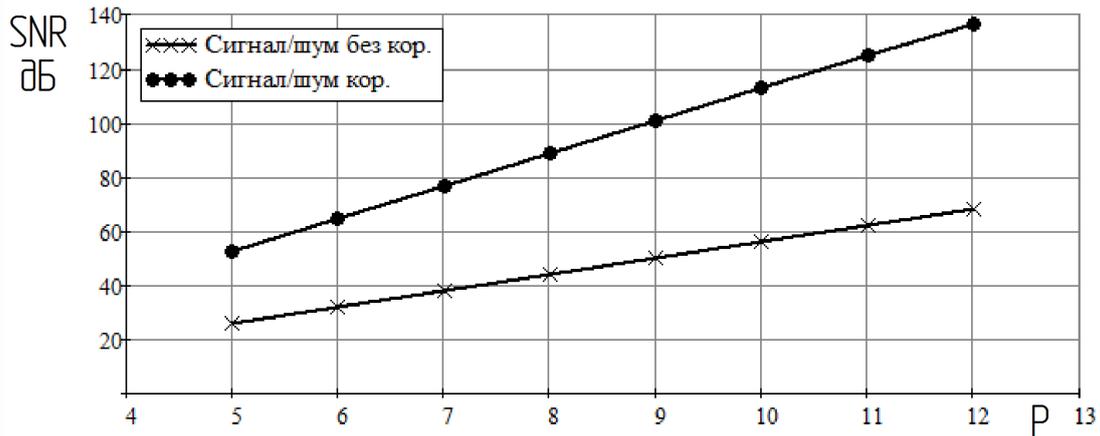


Рис. 7. Отношение сигнал/шум для алгоритма с коррекцией и без

Анализ графика и таблицы позволяет сделать вывод, что при увеличении разрядности фазы P на один разряд в алгоритме без коррекции динамический диапазон, свободный от паразитных составляющих, улучшается на 6.02 дБ, в то время как в алгоритме с коррекцией улучшение происходит на 12.04 дБ. Из табл. 1 видно, что для достижения уровня SFDR не хуже, чем при $P = 5$, но без коррекции, требуется выбрать разрядность фазы не менее 10 ($P = 10$). Таким образом, если реализовывать DDS по алгоритму без коррекции требуется ПЗУ на 2^{10} ячеек (1024), если же по алгоритму с коррекцией, то достаточно всего лишь памяти на 32 ячейки. В абсолютных значениях выигрыш становится колоссальным, если речь идет о генераторах, где разрядность отсчета сигнала больше 8 бит. В этом случае требования к отношению сигнал/шум значительно возрастают. Так, для 16-битных систем шум квантования будет на уровне минус 98.08 дБ, это значит, что искажения сигнала из-за усечения фаз также не должны превышать этого уровня. Этого можно достичь, используя 2^{17} ячеек памяти в алгоритме без коррекции, или всего 2^9 в алгоритме с коррекцией.

4. Реализация генератора на ПЛИС

Для экспериментального исследования алгоритмов цифровой обработки сигналов, включая методы цифрового синтеза, нами был разработан специальный стенд LESO7 (рис. 8, 9).

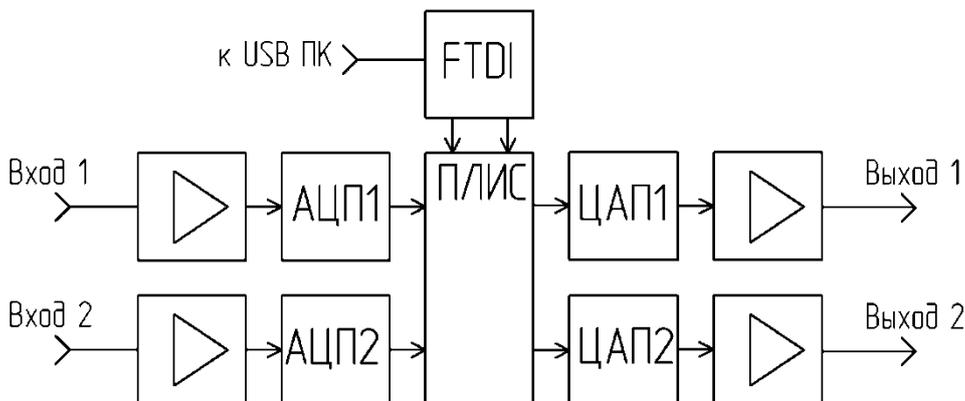


Рис. 8. Структурная схема стенда

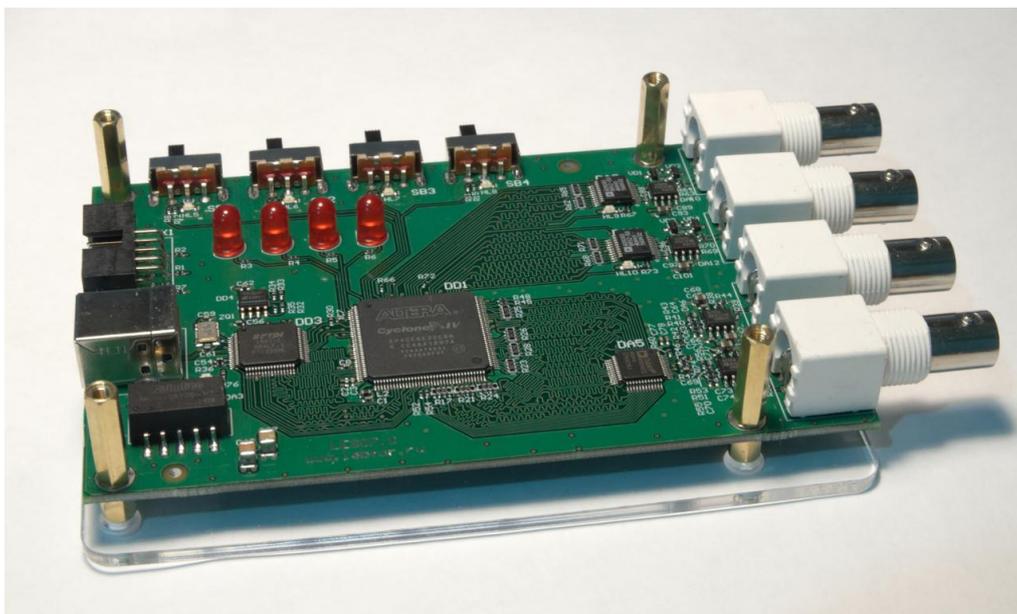


Рис. 9. Внешний вид стенда

Стенд подключается к персональному компьютеру (ПК) или ноутбуку через разъем USB. На плате размещена ПЛИС с набором аналоговой периферии: аналого-цифровые (АЦП) и цифро-аналоговые преобразователи (ЦАП). Разрядность ЦАП – 14 бит, максимальная частота обновления – 125 МГц. Ввод и вывод аналогового сигнала осуществляется через разъемы типа BNC. В основе стенда ПЛИС FPGA Cyclone IV.

Встроенное программное обеспечение ПЛИС выполнено на языке описания аппаратуры Verilog HDL. Прошивка состоит из модулей, объединенных в модуль верхнего уровня.

Модуль «dds_correction» предназначен для генерации гармонического сигнала и демонстрирует описанный алгоритм коррекции эффекта усечения фаз. Архитектура модуля соответствует функциональной схеме (рис. 1). Параметры алгоритма DDS соответствуют рассмотренному ранее примеру: разрядность фазового аккумулятора (A) равна 7, разрядность фазы после усечения (P) равна 5, код частоты (D) обеспечивает максимальный уровень паразитных гармоник и равен 2. Листинг модуля приведен ниже:

```

module dds_correction (
    input          clk_i, // Тактовые импульсы
    output reg signed [13:0] out_1, // Шина данных ЦАП_1
    output reg signed [13:0] out_2 // Шина данных ЦАП_2
);
    reg signed [13:0] rom[31:0]; // Разрядность фазы 5, 32 ячейки
    initial
    begin
        // Инициализируем rom файлом с 32-мя отсчетами
        $readmemh("meminit/sin_full_32_14bit.mif", rom);
    end

    reg signed [6:0] phase_acc; // Регистр аккумулятора фазы, 7 бит
    wire signed [6:0] phase_sin, phase_cos; // Переменные для фазы
    wire signed [27:0] corr;

    // Фазовый аккумулятор
    always @(posedge clk_i)
    begin
        phase_acc <= phase_acc + 2; // Прибавляем код D
    end

    assign phase_sin = phase_acc; // Оставляем начальную фазу нулевой

```

```

assign phase_cos = phase_acc + 32; // Сдвиг фазы 90 градусов

// Формирование сигнала коррекции
// Для адресации памяти используем только 5 старших бит фазы
assign corr = rom[phase_cos[6:2]] * $signed(phase_sin[1:0] * 404);

// Формирование сигнала на вход ЦАП
always @(posedge clk_i)
begin
    // На ЦАП_1 исходный сигнал
    out_1 <= rom[phase_sin[6:2]] + $signed({1'b1, {(13){1'b0}}});
    // На ЦАП_2 сигнал с коррекцией
    out_2 <= corr[26:13] + rom[phase_sin[6:2]] + $signed({1'b1, {(13){1'b0}}});
end

endmodule
    
```

Фазовый аккумулятор состоит из 7-разрядного сумматора и регистра. На каждом такте опорного генератора (*clk_i*) на выходе аккумулятора появляется новое значение, полученное в результате суммирования предыдущего значения с кодом частоты ($D = 2$).

Микросхемы ПЛИС семейства Cyclone IV оснащены специальной памятью для пользовательских данных. Структура встроенной памяти организована в виде столбцов блоков М9К, которые можно сконфигурировать в различные типы памяти, такие как ROM, RAM, буферы FIFO и сдвиговые регистры. Для того чтобы компилятор разместил пользовательскую память в ячейках М9К, следует использовать только допустимый синтаксис, учитывающий аппаратные особенности блоков М9К [5].

Память записывается в виде массива регистров. Системная функция \$readmemh позволяет читать данные из файла и загружать эти данные в память. Таблица с отчетами синуса из файла считывается в процессе компиляции проекта, эти данные компилятор включает в тело бинарного файла конфигурации ПЛИС. Разрядность отсчетов в таблице соответствует разрядности ЦАП и равна 14. Высокая разрядность ЦАП позволяет при исследовании эффектов усечения при малых значениях *P* пренебречь ошибками квантования сигнала.

Помимо результирующего сигнала из модуля выведен исходный сигнал. Это позволяет с помощью осциллографа наблюдать одновременно два сигнала.

5. Экспериментальные исследования

При исследовании используется анализатор сигналов LESO4 [6]. Схема экспериментального стенда приведена на рис. 10.

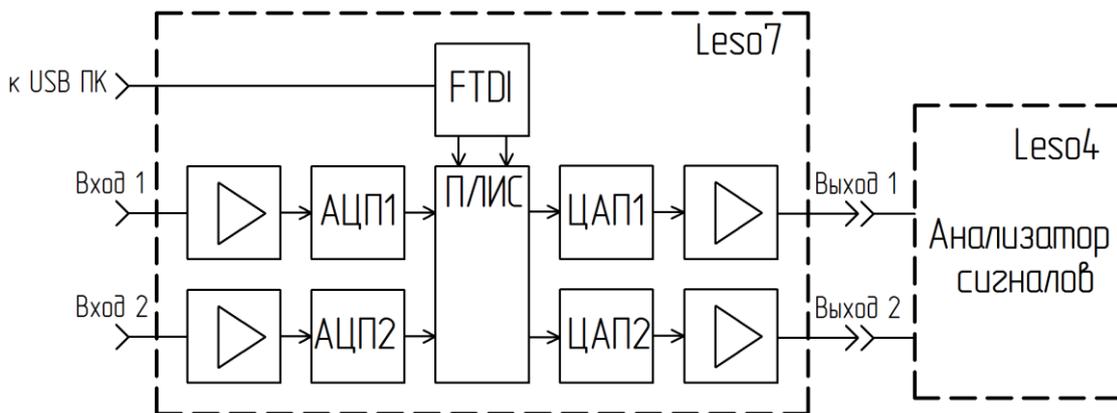


Рис. 10. Внешний вид стенда

В исследовании задана тактовая частота DDS 100кГц.
 На рис. 11 показана осциллограмма сигналов до коррекции и после.

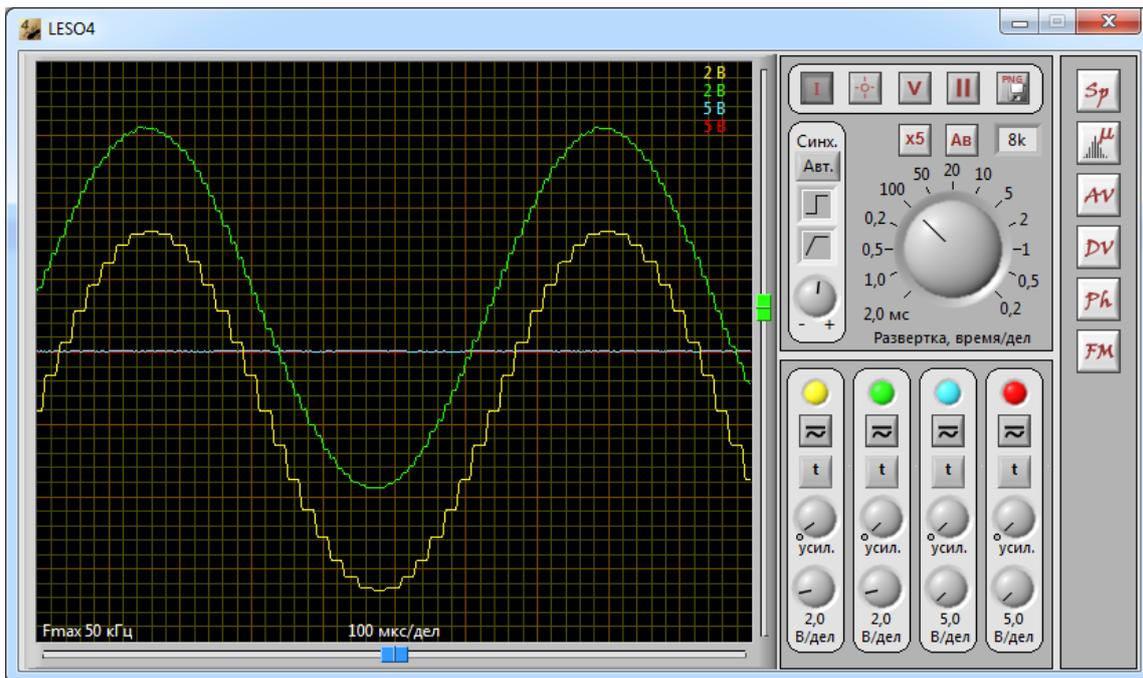


Рис. 11. Осциллограмма сигнала до коррекции (желтый канал) и после (зеленый канал)

На рис. 12. показан участок сигнала в первой четверти периода. Хорошо видно соответствие моделированию (рис. 5).

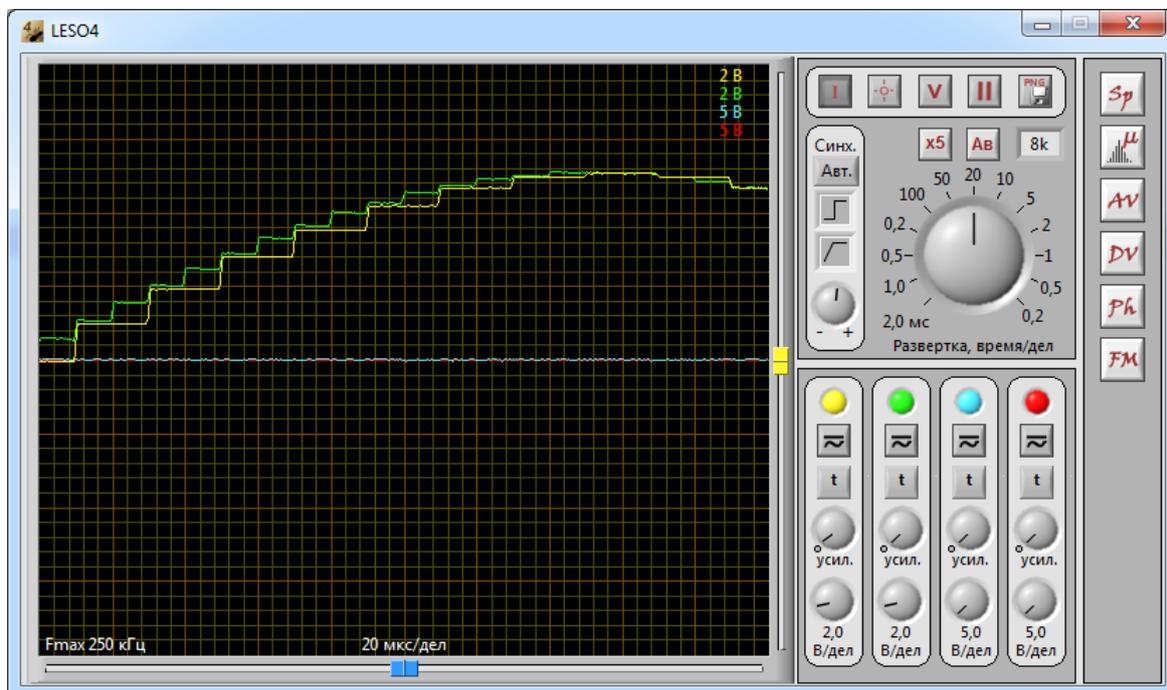


Рис. 12. Осциллограмма сигнала до коррекции (желтый канал) и после (зеленый канал).
 Четверть периода

На рис. 13 показан спектр сигнала до коррекции. Курсорами выделены основная (15.25 дБ) и доминирующая паразитная (-11.97 дБ) гармоники. Динамический диапазон, свободный от паразитных составляющих, составляет 27.22 дБ.

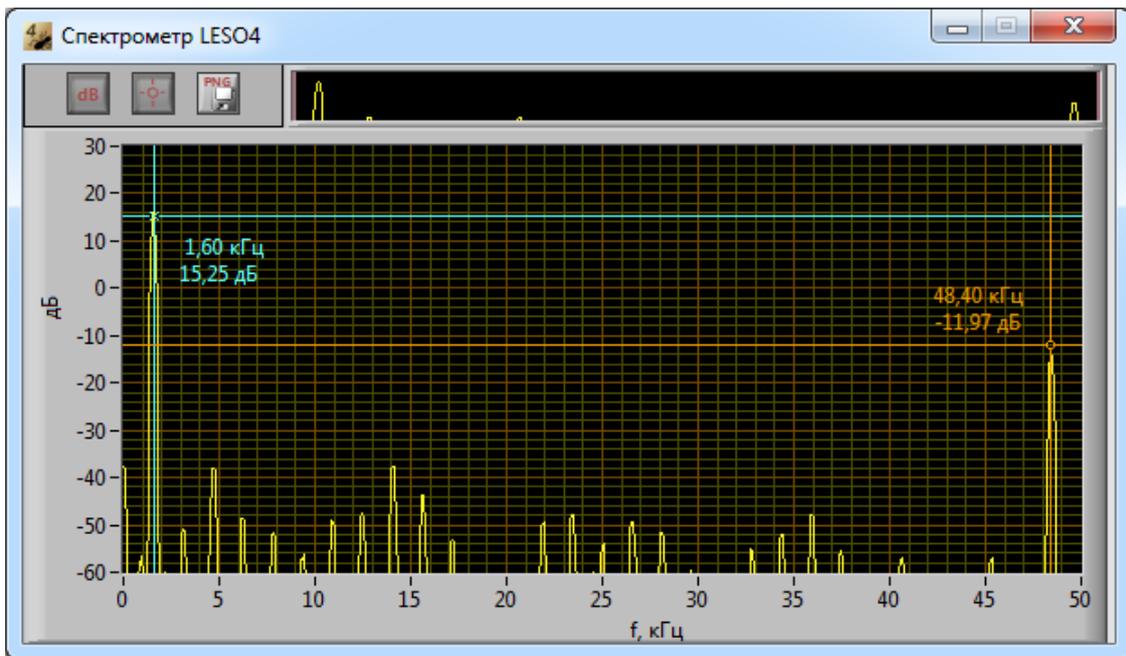


Рис. 13. Спектр сигнала до коррекции

На рис. 14 показан спектр сигнала после коррекции. Курсорами выделены основная (15.25 дБ) и доминирующая паразитная (-38.07 дБ) гармоники. SFDR составляет 53.32 дБ.

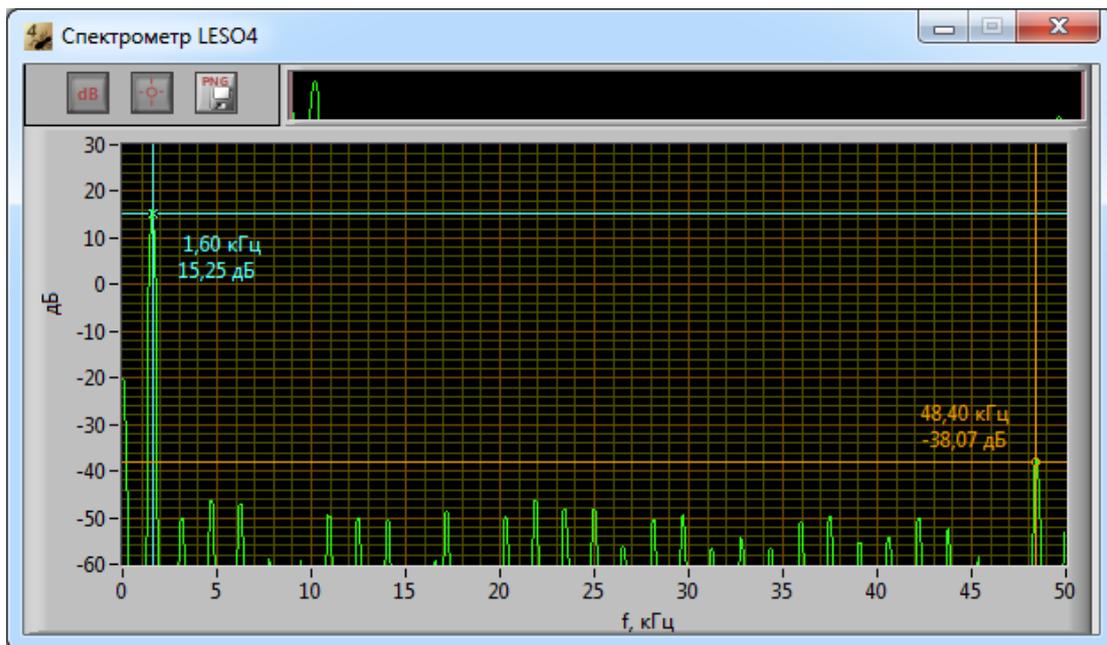


Рис. 14. Спектр сигнала после коррекции

6. Заключение

Предложенная модификация базового алгоритма прямого цифрового синтеза позволяет при аппаратной реализации на ПЛИС или ДСП (Digital Signal Processor, DSP) значительно уменьшить потребляемую устройством память либо при сохранении исходного объема памяти значительно уменьшить паразитные составляющие в спектре генерируемого сигнала. Кроме того, достоинством метода является его возможность совместного использования с методом оптимизации, когда в памяти хранится лишь четверть периода синуса.

Результаты моделирования хорошо подтверждают эффективность оптимизации алгоритма и позволяют дать количественную оценку улучшенных параметров.

Результаты экспериментального исследования реального генератора на платформе ПЛИС хорошо согласуются с результатами моделирования.

Однако предложенный способ обладает и недостатками: при реализации алгоритма используется дополнительный аппаратный умножитель и сумматор (встроенные в ПЛИС или ДСП), что при некоторых аппаратных платформах может нивелировать выгоду, полученную от сокращения памяти, и внести дополнительные задержки в генерацию сигнала.

Литература

1. A Technical Tutorial on Digital Signal Synthesis. Analog Devices, Inc., 1999.
2. *Mifsud A.* Direct digital synthesis radio frequency arbitrary function generator using an FPGA [D]. University of Malta, 2016.
3. *Ryan Groulx, Shawn Mason, Rockwell Collins.* Minimization of DDS Spurious Content in Multi-Channel Systems // High Frequency Electronics. Oct. 2006
4. *Zhou Jianming* A new method of spur reduction in phase truncation for DDS // IEICE Electronics Express. 2008. V. 5, № 21. P. 915–920.
5. Cyclone IV Device Handbook. 101 Innovation Drive. San Jose.
6. Цифровой USB анализатор сигналов LESO4 [Электронный ресурс]. URL: <http://www.labfor.ru/devices/leso4> (дата обращения: 01.12.2019).

*Статья поступила в редакцию 07.03.2020;
переработанный вариант – 27.03.2020.*

Шаурман Александр Александрович

инженер гр. электронных средств обучения СибГУТИ, e-mail: shamrel@yandex.com.

Борисов Александр Васильевич

к.т.н., доцент кафедры САПР СибГУТИ, e-mail: borisov@sibsutis.ru.com.

Забелин Леонид Юрьевич

к.т.н., доцент, зав. кафедрой САПР СибГУТИ (630102, Новосибирск, ул. Кирова, 86), e-mail: zabelinlu@sibsutis.ru.

Optimization of the DDS algorithm by the identification of spurious components

A. Shauerman, A. Borisov, L. Zabelin

In this article direct digital synthesis (DDS) methods of signal generation are considered. Here we designed signal generator. FPGA Cyclone IV, ADC and DAC were designed for researching digital signal processing algorithms and DDS. Generator schemes are based on the Verilog language and programmable logic design software produced by Intel QUARTUS Prime. Phase Truncation properties in the Output Spectrum of DDS were considered and DDS research results were presented in this article.

Keywords: DDS, FPGA, phase accumulator, Verilog.