

Метод синхронизации сложной последовательности группы управляющих сигналов запоминающих устройств

В. В. Шубин

В статье представлен метод формирования сложной последовательности группы управляющих сигналов, синхронизованных во времени. Описаны проблемы оптимизации этих управляющих сигналов при разработке запоминающих устройств и связанные с ними функциональные отказы. Предложенный подход позволяет объединить описанные принципы в метод формирования синхронных управляющих сигналов.

Ключевые слова: микросхемотехника, КМОП, проектирование, запоминающие устройства.

1. Введение

При проектировании полупроводниковых запоминающих устройств (ЗУ) важной задачей является формирование управляющих сигналов, синхронизирующих работу отдельных блоков. За выполнение этой функции отвечает схема управления и синхронизации (СУС). Несмотря на то что СУС функционально выделяется в самостоятельное устройство, часто её отдельные блоки могут располагаться в разных частях кристалла. Эта схема является одним из важнейших узлов ЗУ, так как именно она определяет его основные характеристики: надёжность функционирования и быстродействие [1].

2. Проблемы оптимизации синхронизации управляющих сигналов ЗУ

Проблемы синхронизации управляющих сигналов ЗУ имеют общий характер, однако существуют некоторые отличия для разных типов ЗУ. Эти отличия определяются особенностями работы различных ЗУ в разных режимах. Например, статические оперативные запоминающие устройства (ОЗУ) работают в двух режимах – запись и чтение, масочные постоянные запоминающие устройства (ПЗУ) – только в режиме чтения, перезаписываемые ЗУ – в индивидуальных режимах записи и стирания и чтения и т.д.

При этом каждый режим требует определённого времени на подготовку исходного состояния отдельных элементов и блоков ЗУ. Это время зависит как от внешних условий, так и от качества технологического процесса изготовления кристаллов. Если времени для подготовки исходных состояний недостаточно, то это приводит к случайным, непредсказуемым отказам функционирования ЗУ. Так как ошибки функционирования ЗУ могут приводить к фатальным последствиям и поэтому недопустимы, для повышения надёжности приходится увеличивать запасы времени, необходимые для подготовки соответствующих режимов при работе в любых внешних условиях. Эти временные запасы напрямую снижают общее быстродействие устройства. Поэтому важной задачей при проектировании ЗУ является поиск оп-

тимальных решений, позволяющих максимально повысить быстродействие за счёт снижения этого избыточного временного запаса при любых условиях.

Для лучшего понимания проблем разработки схемы управления и синхронизации рассмотрим режимы работы тактируемого статического КМОП ЗУПВ и последовательность переходов из одного режима в другой.

3. Режимы работы тактируемого статического КМОП ЗУПВ

Исходное состояние. Режим хранения.

- Дешифраторы строк формируют управляющие сигналы на все адресные шины, предотвращающие доступ к элементам памяти (ЭП).
- Разрядные шины заряжены до напряжения, передаваемого через открытые предзарядные транзисторы.
- Дешифраторы столбцов отключены.
- Фиксирующие элементы формируют сигнал, отключающий усилители записи/чтения.

Режим записи.

- Предзарядные транзисторы закрываются и отключают поступление напряжения предзаряда на разрядные шины. При этом ёмкость разрядных шин сохраняет потенциал предзаряда до поступления сигнала с усилителя записи.
- Одновременно (но не раньше!) на выбранные адресные шины с выхода дешифратора строк поступает сигнал доступа к элементу памяти.
- Только после того как сигнал, поступающий на адресную шину, по распределённой RC-цепи этой шины достигает последнего столбца выбранной строки, допускается формирование сигнала фиксирующих элементов.
- После этого фиксирующие элементы формируют управляющие сигналы для подключения усилителей записи к разрядным шинам.
- После записи данных усилителя записи в выбранный элемент памяти схема переходит в режим хранения.

Режим чтения.

- Предзарядные транзисторы закрываются и отключают поступление напряжения предзаряда разрядных шин. При этом ёмкость разрядных шин сохраняет потенциал предзаряда до поступления сигнала с усилителя записи.
- Одновременно (но не раньше!) на выбранные адресные шины с выхода дешифратора строк поступает сигнал доступа к элементу памяти.
- Элементы памяти разряжают разрядные шины в соответствии с хранимой в них информацией.
- Только после того как сигнал, поступающий на адресную шину, по распределённой RC-цепи этой шины достигает последнего столбца выбранной строки, допускается формирование сигнала фиксирующих элементов.
- Фиксирующие элементы формируют сигнал, подключающий через дешифраторы столбцов усилители чтения.

3.1. Проблемы проектирования СУС ЗУ

Формирование последовательности управляющих сигналов, описанной в предыдущем разделе, само по себе уже представляет сложную проблему и требует решения нижеперечисленных задач:

- Обеспечение надёжного опережения сигнала отключения предзарядных транзисторов при переходе схемы из режима хранения в режим записи. В противном случае возможно

подключение разрядных шин к напряжению предзаряда и несанкционированная перезапись данных в усилителе записи, подготовленных для записи.

- Обеспечение надёжного отставания подключения предзарядных транзисторов при переходе схемы из режима чтения в режим хранения. В противном случае возможно подключение разрядных шин к напряжению предзаряда и несанкционированная перезапись хранящейся информации в элементах памяти.

- Обеспечение надёжного отставания формирования сигнала, подключающего фиксирующие элементы, относительно сигнала выбора (CE), поступающего на адресные шины.

- Обеспечение надёжного отставания формирования сигнала с выхода фиксирующих элементов, подключающего усилители записи/чтения, относительно установления достоверного сигнала на разрядных шинах.

Организация именно такой последовательности определяет надёжность функционирования режимов записи, хранения и чтения оперируемой информации. Основной подход к решению этой проблемы заключается в формировании параллельных буферных цепей различной последовательности и длительности управляющих сигналов, которое достигается использованием схем генераторов неперекрывающихся импульсов [2, 3], элементов задержки, в виде цепочек инверторов, RC-цепей и/или их комбинаций [2, 4, 5].

Ещё одной важной проблемой разработки СУС является наличие большого количества резистивно-ёмкостных нагрузок управляемых цепей, требующее оптимизации буферных элементов. Оптимизация буферных цепей хорошо исследована и описана в отечественной и зарубежной литературе [6, 7], так как имеет общий характер в большом классе проектируемых СБИС. Однако как бы хорошо не удалось оптимизировать буферную цепь, очевидно, что введение в схему буферных элементов всё равно увеличивает задержку прохождения сигналов в этой цепи.

Перечисленные проблемы усугубляются обратно пропорциональной зависимостью между формированием последовательности синхронизирующих сигналов, обеспечивающей надёжное функционирование, и общим быстродействием ЗУ. Такое противоречие требует поиска новых методов организации управляющих сигналов, их синхронизации и построения соответствующих архитектур ЗУ.

Далее предложен новый подход к формированию управляющих сигналов СУС ЗУ, названный методом формирования синхронных управляющих сигналов, который был успешно опробован при переработке статического КМОП ЗУПВ 1603РУ1.

3.2. Новый метод формирования синхронных управляющих сигналов

Учитывая перечисленные выше проблемы, всегда существует потребность в поиске более совершенных методов синхронизации или новых типов архитектур, позволяющих снижать отрицательные факторы известных методов. Поэтому предлагается новый метод формирования синхронных управляющих сигналов.

Сущность метода заключается в том, что для формирования управляющего сигнала, появление которого определяется сравнением с другими сигналами выражениями «одновременно», «одновременно, но не раньше», «одновременно, но не позже», применяются полностью повторяющиеся конструкции сравниваемых сигналов. При этом под полностью повторяющейся конструкцией подразумевается совокупность конструктивных, схемотехнических, топологических и технологических приёмов, обеспечивающих достижение полной идентичности условий формирования и прохождения управляющих сигналов на всех уровнях проектирования. Основные принципы реализации предлагаемого подхода заключаются в применении положений, названных [8]:

- Схемотехническое DUMMY.
- Топологическое DUMMY.
- Применение одинаковой ориентации сравниваемых топологических примитивов.
- Технологическое DUMMY.

Термин DUMMY (англ.: макет, подделка, подмена рабочего элемента) заимствован из англоязычной литературы по проектированию аналоговых схем, применяется для обозначения нерабочих элементов, выравнивающих условия формирования на кристалле различных примитивов согласуемых элементов. В научно-технической литературе на русском языке переводы данного термина не встречаются, поэтому далее будем его использовать в оригинальном написании.

3.3. Схмотехническое DUMMY

Принцип формирования схмотехнического DUMMY заключается в полном схмотехническом повторении активных и пассивных рабочих приборов в цепях, формирующих идентичный сигнал, синхронный рабочему, со всеми идентичными атрибутами, присущими рабочим приборам.

Для наглядного представления вышеприведённого положения рассмотрим пример построения цепи формирования управляющего сигнала предзарядными транзисторами в КМОП ЗУПВ 1603РУ1.

Формирователь управляющего сигнала предзарядными транзисторами логически представляет собой повторитель сигнала СЕ. Этим же сигналом управляются дешифраторы строк, которые формируют управляющий сигнал выбора соответствующей строки запоминающих элементов при прохождении через два каскада дешифратора строк. Таким образом, если схмотехнически повторить полностью цепи формирования управляющего сигнала выбора соответствующей строки запоминающих элементов в схеме формирователя управляющего сигнала предзарядными транзисторами и транзисторы, неиспользуемые для формирования сигнала повторителя, включить соответствующим образом – открыть/закрыть, мы получим полностью идентичные сигналы на выходах формирователя управляющего сигнала предзарядными транзисторами и формирователя управляющего сигнала выбора соответствующей строки запоминающих элементов (конкретная реализация приведена на рис. 1).

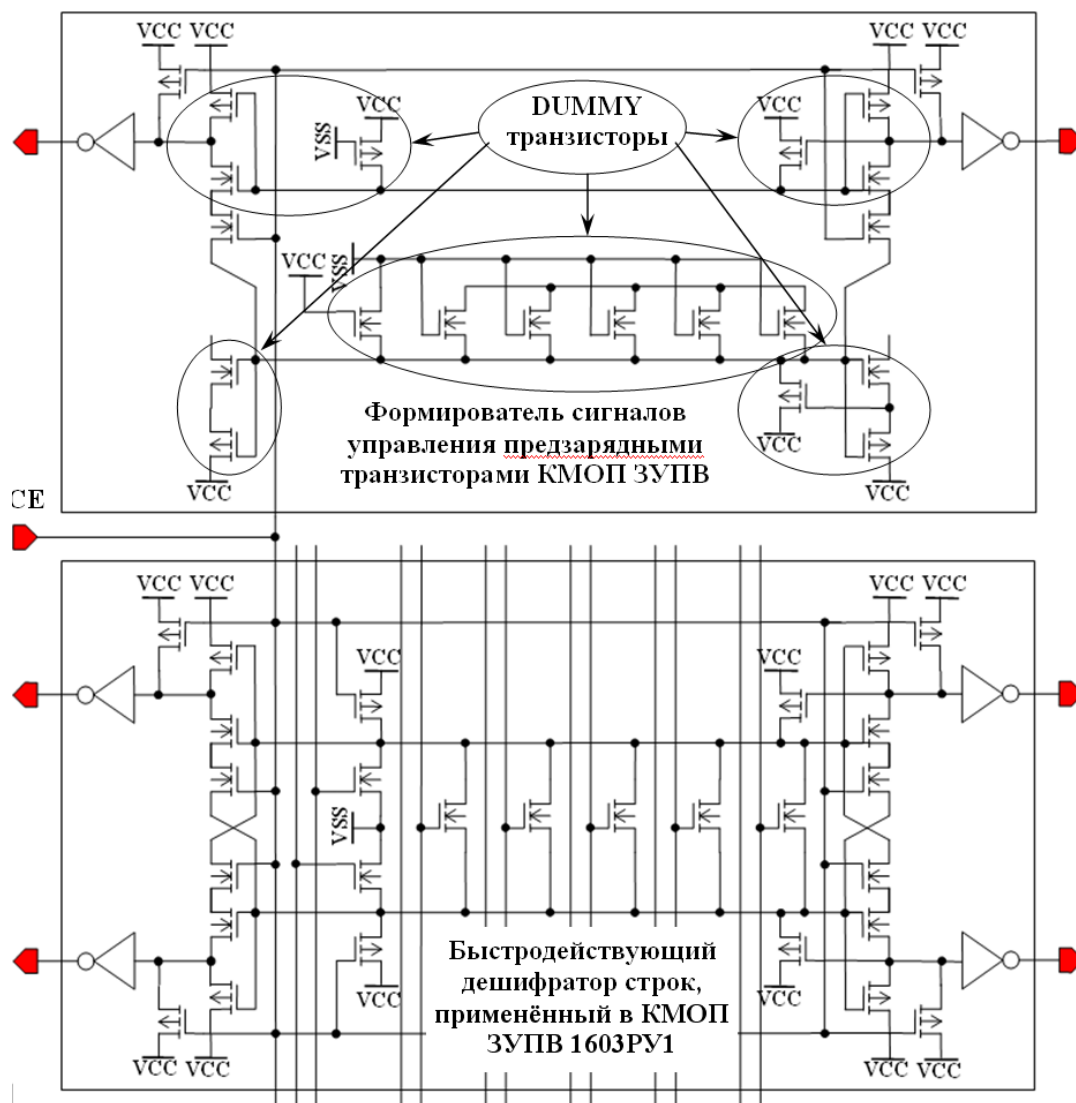


Рис. 1. Схематическое DUMMY

На рис. 1 приведена электрическая принципиальная схема формирователя сигналов управления предзарядными транзисторами КМОП ЗУПВ СБИС 1603РУ1, который функционально представляет собой повторитель из двух инверторов, выполненный на базе транзисторов дешифратора строк. Такой подход гарантирует полный схемотехнический эквивалент распространения управляющего сигнала по предзарядным транзисторам при условии соблюдения одинаковых нагрузок как для дешифратора строк, так и для формирователя сигналов управления предзарядными транзисторами.

Таким образом, если размеры всех активных и пассивных элементов двух различных схем совпадают, а DUMMY-элементы формируют идентичные паразитные составляющие, то и выходные сигналы будут полностью совпадать, образуя логическое выражение «одновременно».

Если необходимо сформировать сигналы, соответствующие логическим выражениям «одновременно, но не раньше» или «одновременно, но не позже», то нужный эффект легко достигается смещением передаточных характеристик выходных буферов за счёт изменения соотношений размеров P- и N-канальных транзисторов в CMOS-инверторах. Так, например, при проектировании формирователя сигналов управления предзарядными транзисторами КМОП ЗУПВ необходимо организовать последовательность сигналов для положительного фронта «одновременно, но не раньше» и для отрицательного фронта «одновременно, но не позже», как показано на рис. 2 (красная пунктирная линия).

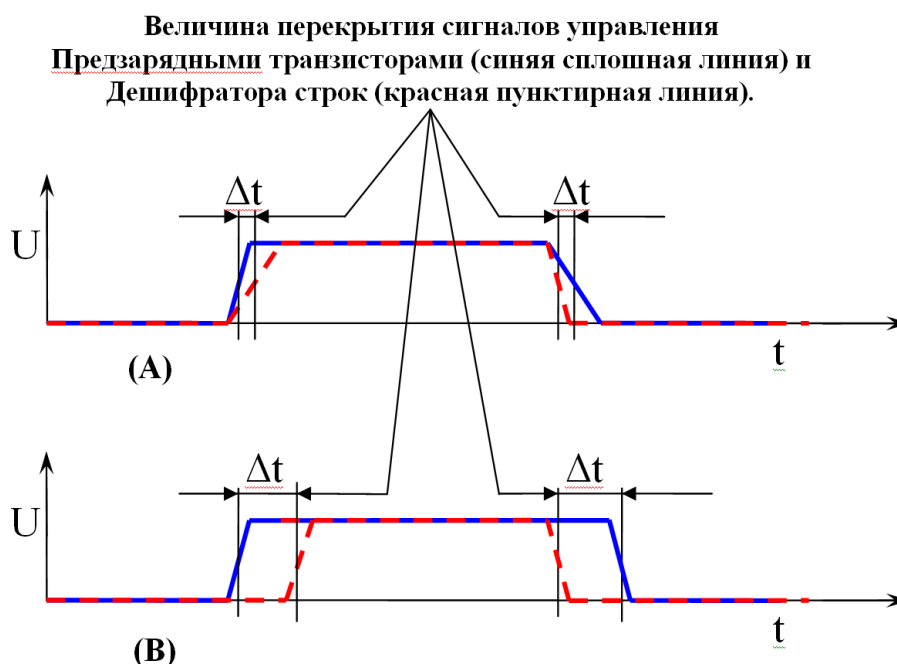


Рис. 2. Временная диаграмма формирователя сигналов управления предзарядными транзисторами (синяя сплошная линия) и дешифратора строк (красная пунктирная линия), полученная применением схемотехнического DUMMY (A) и генератором неперекрывающихся импульсов, квантированным двумя инверторами (B)

В данном методе величина перекрытия сигналов изменяется от 0 (при равных размерах транзисторов) до небольшого управляемого значения (рис. 2а) изменением соотношения размеров P- и N-канальных транзисторов, в отличие от генератора неперекрывающихся импульсов [5], дающего аналогичную последовательность двух сигналов, но имеющих задержку, квантированного задержкой прохождения через два инвертора (рис. 2в).

Предложенный метод имеет существенно меньшую задержку между синхронизируемыми сигналами, а значит, даёт такой же выигрыш по быстродействию записи и чтения данных в КМОП ЗУПВ.

Аналогично построена методология синхронизации тактовых импульсов по типу Н-дерева [9] рис. 3.

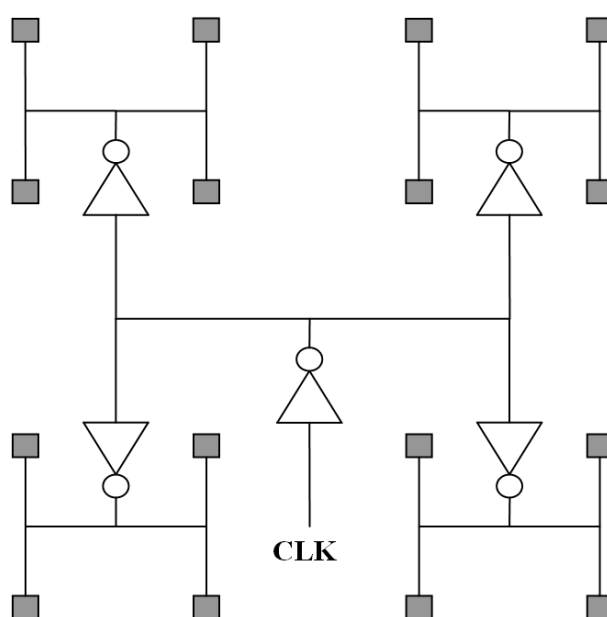


Рис. 3. Пример применения метода схемотехнической синхронизации «Н-образное дерево» для построения цепи распространения тактовых сигналов 16-ти узлов («листьев») [9]

В этом методе синхронизации также применяются дополнительные элементы (инверторы) в разных местах кристалла для получения эффекта синхронного срабатывания управляемых элементов.

3.4. Топологическое DUMMY

Реализация принципа топологического DUMMY заключается в необходимости полного повторения конфигураций всех пассивных и активных элементов на уровне топологических примитивов в сравниваемых цепях (рис. 4).

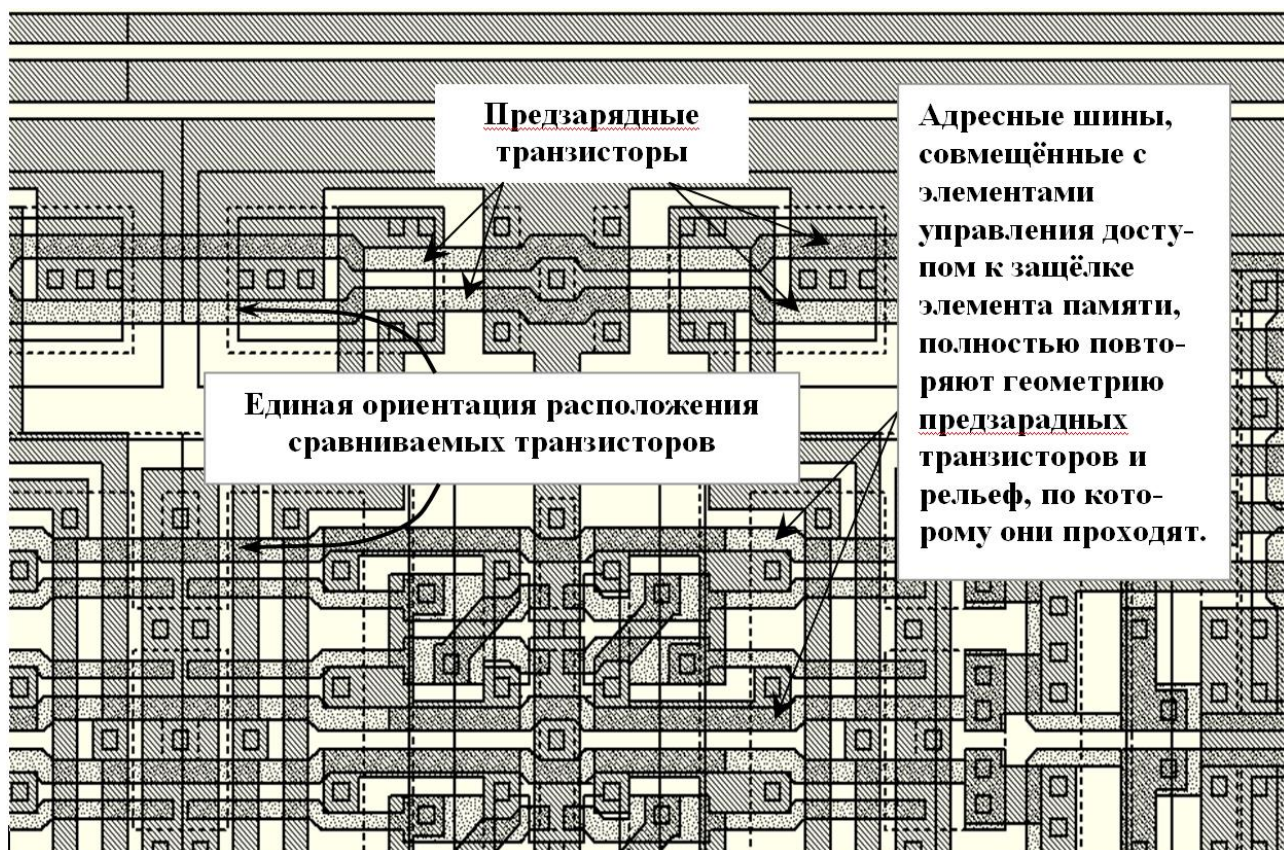


Рис. 4. Фрагмент топологии КМОП ЗУПВ 1603PY1, демонстрирующий принцип топологического DUMMY

Как показано на рис. 4, предзарядные транзисторы выполнены в виде полного геометрического эквивалента адресной шины, совмещённой с элементами управления доступом к защёлке элементов памяти, и полностью повторяют геометрию рельефа, по которому они проходят.

Необходимость идентичного распространения сигналов выбора по адресной шине и по предзарядным транзисторам, а также противофазная логика работы предзарядных транзисторов и транзисторов выбора элементов памяти, диктуют выбор типа проводимости для предзарядных транзисторов Р-типа и для транзисторов выбора элементов памяти – N-типа. В свою очередь, выбор проводимости Р-типа у предзарядных транзисторов (у которых минимальная длина канала – 4 мкм – выше, чем минимальная длина каналов транзисторов N-типа – 3 мкм) для выравнивания нагрузок RC-цепей требует использования длины канала и у N-канальных транзисторов элементов управления доступом к защёлке элемента памяти также равной 4 мкм.

Кроме того, для полной идентичности топологических конфигураций применена одинаковая ориентация для сравниваемых транзисторов.

3.5. Технологическое DUMMY

Термин «технологическое DUMMY» применяется для обозначения дополнительных, нерабочих элементов, используемых для выравнивания условий изготовления прецизионных одинаковых рабочих элементов в технологическом маршруте. Такими элементами могут быть как отдельные рабочие активные и пассивные элементы (транзисторы, диоды, резисторы, конденсаторы, катушки индуктивности), так и фрагменты отдельных элементов масочных слоёв [10, 11, 12].

На рис. 5 приведён пример применения технологических DUMMY-транзисторов [11].

После введения DUMMY-транзисторов крайние (А) рабочие транзисторы находятся в равных геометрических условиях с внутренними (В) рабочими транзисторами.

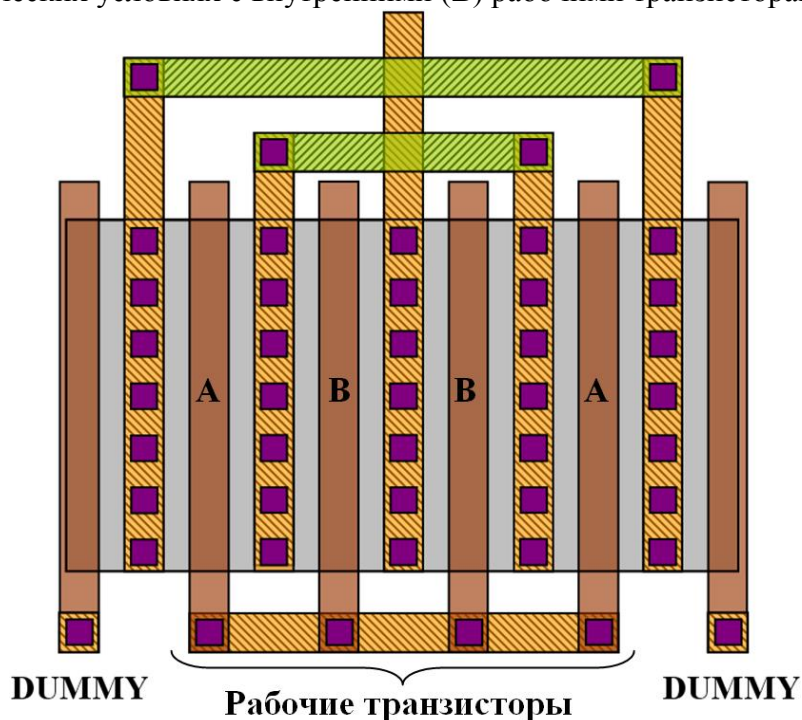


Рис. 5. Технологическое DUMMY.

Интегральные МОП-транзисторы с транзисторами DUMMY по боковым сторонам [11]

4. Заключение, выводы

В статье представлен новый метод формирования синхронных управляющих сигналов. Применение данного метода позволяет достигнуть предельных характеристик по быстродействию при проектировании запоминающих устройств и повысить надёжность их функционирования. В частности, использование описанного метода при переработке тактируемого статического КМОП ЗУПВ 1603РУ1 позволило повысить быстродействие основных динамических параметров более чем на 160 % (уменьшить время выбора с 210 ns до 80 ns). Такой запас по реализации спецификации технических условий существенно ослабляет требования к параметрам стандартного технологического процесса для получения работоспособных образцов, позволяет повысить процент выхода годных изделия, а также полностью устранить проблемы непредсказуемых браков технологического процесса и повысить надёжность изделия в процессе испытаний и эксплуатации.

В работе приведены примеры построения отдельных узлов КМОП ЗУПВ на базе принципов описанного метода. Кроме того, все положения предложенного метода легко вписы-

ваются в большинство известных маршрутов проектирования ИС, в том числе и в маршруты проектирования аналоговых и цифро-аналоговых ИС.

Литература

1. Шубин В. В. Особенности конструктивной оптимизации параметров КМОП ЗУ // Микроэлектроника. 2010. Т. 39, № 4, С. 303–309.
2. Dan Clein. CMOS IC LAYOUT. Concepts, Methodologies and Tools / Dan Clein // Newnes. 2000.
3. R. Jacob Baker, CMOS, Mixed-Signal Circuit Design. Wiley, July 4, 2002.
4. Кармазинский А. М. Синтез принципиальных схем цифровых элементов на МДП-транзисторах. М.: Радио и связь. 1983.
5. R. Jacob Baker. CMOS. Circuit Design, Layout, and Simulation // IEEE Press. 2005.
6. Joo-Sun Choi, KwIyro Lee. Design of CMOS Tapered Buffer for Minimum Power-Delay Product // IEEE JOURNAL OF SOLID-STATE CIRCUITS. 1994. V. 29. № 9. P. 143–145.
7. Yong-Bin Kim. CMOS VLSI Layout Artwork Design and Lab // MyCAD Press, a division of MyCAD, Inc. Sunnyvale, California 940, 2002.
8. Шубин В. В. Принципы формирования надёжной синхронизации управляющих сигналов ЗУ // Информатика и проблемы телекоммуникаций, Российская научно-техническая конференция, Материалы конференции, Том 1, Новосибирск, 2011, с. 544–546.
9. J.M. Rabaey, A. Chandrakasan, B. Nikolic, Digital Integrated Circuits, A Design Perspective, 2nd Prentice Hall, Englewood Cliffs, NJ, 2002.
10. Simon Naykin, Michael Moher, Introduction to Analog and Digital Communications // John Wiley & Sons, Inc., Second Edition. 2007.
11. Alan Hastings, The Art of ANALOG LAYOUT. Pearson, 2006.
12. J. Uyemura. CMOS Logic Circuit Design / Kluwer Academic Publishers, 1999. ISBN 0-7923-8452-0.

Статья поступила в редакцию 01.02.2016

Шубин Владимир Владимирович

к.т.н., начальник Сектора 2 ОКБ АО «НЗПП с ОКБ», доцент кафедры технической электроники СибГУТИ, т.8-913-903-60-88, e-mail: shubin@nzpp.ru.

Synchronization method of the complex control signals sequence for memory devices

V.V. Shubin

In this paper, synchronization method of the complex control signals sequence for memory devices is presented. Problems of optimization of the control signals when developing memory devices resulted in functional failures are considered. The proposed approach allows us to combine described principles in “Method of synchronous control signals formation”.

Keywords: micro-circuitry, CMOS, IS design, memory devices.