

# Особенности проектирования сложнофункционального блока 14-разрядного цифро-аналогового преобразователя субмикронной интегральной микросхемы типа «система-на-кристалле»<sup>1</sup>

М.С. Карпович, В.Д. Лысь, Д.Л. Шлемин, Ю.П. Лебедев

Рассмотрены основные причины влияния технологических разбросов на характеристики цифро-аналоговых преобразователей (ЦАП) при проектировании по технологии КМОП с проектно-технологическими нормами 0.18 мкм. Предлагается улучшенная схема включения матрицы генераторов тока старших разрядов при увеличении разрядности ЦАП с 10 до 14. Разработана программа для проверки эффективности схемы перемешивания по одному из ключевых показателей работы ЦАП – интегральной нелинейности (INL). Выбрана комбинация включения матрицы с наименьшим показателем INL. Представлена характеристика интегральной нелинейности матрицы старших разрядов.

*Ключевые слова:* цифро-аналоговый преобразователь, нелинейность ЦАП, матрица единичных генераторов тока.

## 1. Введение

Современные твердотельные интегральные микросхемы, реализуемые по идеологии «система на кристалле» (СНК), представляют собой совокупность взаимосвязанных т.н. «сложнофункциональных блоков» (СФ-блоков). СФ-блоки проектируются и изготавливаются на основе единой базовой (в настоящее время наиболее оптимальной с точки зрения «качество/цена» – субмикронной КМОП) технологии изготовления чипов, в частности, с проектно-технологическими нормами 0.18 мкм, реализованной на большинстве т.н. «кремниевых фабрик» в мире. Наиболее сложными для проектирования являются СФ-блоки цифро-аналоговых и аналого-цифровых преобразователей (ЦАП и АЦП, соответственно), что обусловлено следующими факторами:

- технологической зависимостью параметров аналоговых элементов, что диктует необходимость индивидуального подхода к аналоговой микросхемотехнике для каждого технологического маршрута изготовления микросхем и, соответственно, для каждой фабрики-производителя чипов;
- влиянием паразитных эффектов топологической реализации на параметры аналоговых элементов;
- влиянием функционирования цифровой части микросхемы на её аналоговую часть.

---

<sup>1</sup> Работа выполнена при финансовой поддержке Министерства образования и науки РФ в рамках реализации НИР «Разработка базовых серийных технологий изделий микроэлектроники: систем на кристалле (мультистандартного тюнера)» (ГК №16.426.11.0042).

В предыдущей работе [1] рассмотрены результаты проектирования и изготовления по базовой КМОП-технологии с проектно-технологическими нормами 0.18 мкм микросхемы мультистандартного PAL/NTSC видеodeкодера класса «микросхема смешанного сигнала» («mixed signal»), включающего блок цифрового модулятора и трёхканальный 10-разрядный ЦАП с рабочей частотой 27 МГц. Развитие этой темы получило в разработке более сложного двухканального 14-ти разрядного ЦАП для микросхемы тюнера цифрового радиовещания в формате DRM.

Основными элементами быстродействующих ЦАП являются генераторы тока, формирующие уровень выходного сигнала. Количество необходимых генераторов тока нелинейно зависит от разрядности ЦАП; при этом от способа размещения генераторов тока на чипе зависит нелинейность выходного сигнала. Общепринятым является размещение генераторов в виде квадратных матриц.

Необходимость улучшения характеристик СФ-блока ЦАП при увеличении разрядности привела к поиску решений по улучшению линейности устройства. Помимо архитектурно-микросхемотехнических решений, линейность ЦАП необходимо улучшить топологическими приемами. Так, формирование матрицы генераторов, задающих уровень тока на выходе ЦАП, предъявляет высокие требования по топологической согласованности токовых ячеек. Разность тока ячеек неизбежно приводит к нелинейности выходного сигнала, поэтому необходимо получить максимально идентичные ячейки. Возникает проблема получения идентичных характеристик МОП-транзисторов, несмотря на разброс технологических параметров, который, к сожалению, неизбежен даже для хорошо управляемых и стабильных технологических процессов. Задачей для разработчиков топологии является поиск конструкторских решений улучшения линейности выходного сигнала. Определённые методы построения топологии согласованных фигур приводят к уменьшению влияния разброса параметров.

Цель настоящей работы заключается в разработке улучшенной конструкции матрицы генераторов тока для СФ-блока 14-разрядного ЦАП на базе КМОП-технологии с проектно-технологическими нормами 0.18 мкм, в т.ч. в оптимизации последовательности подключения единичных генераторов тока в матрице.

## 2. Анализ архитектурных решений построения ЦАП

Известные архитектурные решения быстродействующих токовых ЦАП (high resolution CMOS current-steering DAC) [2-8] можно разбить на 3 группы:

- архитектура на основе двоично-взвешенной токовой матрицы (binary);
- архитектура на основе однородной токовой матрицы (unary);
- сегментированная архитектура (segmented) – смешанная: старшие разряды управляют однородной матрицей, младшие – двоично-взвешенной.

Рис. 1 [4] иллюстрирует структуру этих архитектур, а также их достоинства и недостатки. Как видно из рисунка, двоично-взвешенная архитектура содержит матрицу двоично-взвешенных генераторов тока. Такая архитектура очень проста, не требует декодера входного кода: двоично-взвешенные генераторы тока управляются непосредственно входным кодом. Однако эта простота достигается за счёт:

- высоких требований к допустимым статистическим разбросам значений токов элементов матрицы для достижения требуемого значения дифференциальной нелинейности (DNL);
- отсутствия «by-design» гарантии монотонности характеристики преобразования (monotonicity);
- большой амплитуды т.н. «глитча» (glitch) – выброса выходного тока при переходе входного кода  $100\dots0 <-> 011\dots1$  (а также аналогичных переходах в младших разрядах, сопровождающихся соответственно меньшей амплитудой глитча).

На рис. 2 представлены: упрощённая принципиальная схема ЦАП на основе двоично-взвешенной матрицы (а), его типичная зависимость дифференциальной нелинейности от входного кода (б) и временная диаграмма, иллюстрирующая глитч (в).

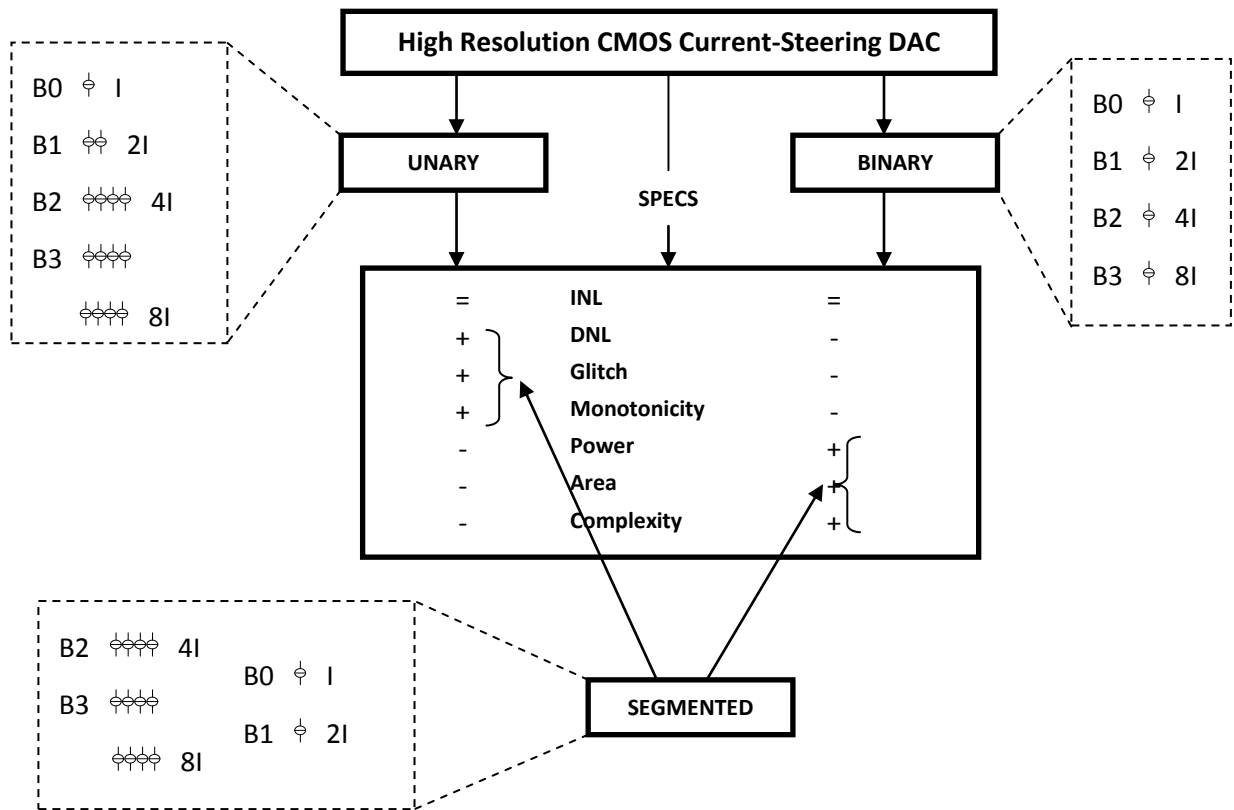


Рис. 1. Архитектуры токовых ЦАП: структуры, достоинства (+), недостатки (-) и равенство (=).

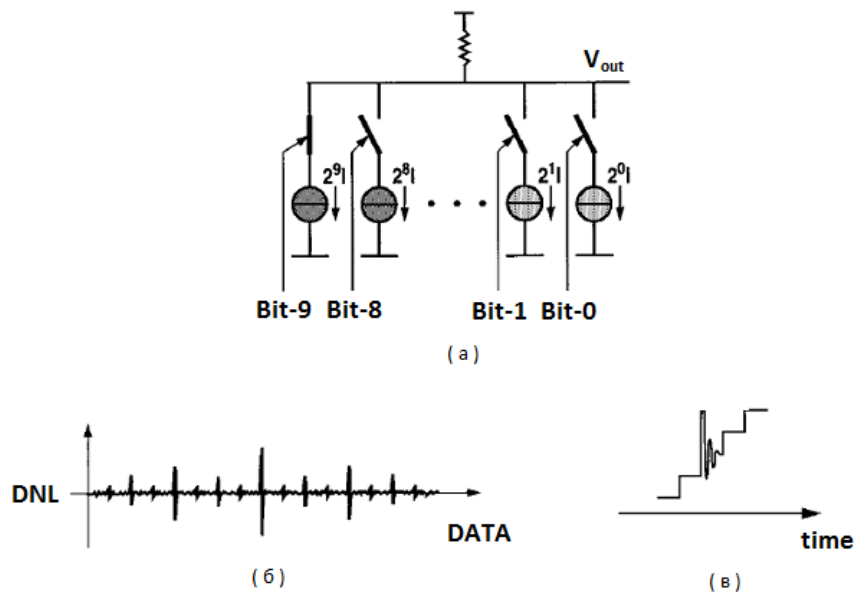


Рис. 2. ЦАП на основе двоично-взвешенной матрицы: упрощённая принципиальная схема (а), типичная зависимость дифференциальной нелинейности от входного кода (б), глитч (в).

Архитектура, основанная на однородной матрице, состоит из  $2^N-1$  одинаковых генераторов тока. Важно отметить, что при заданном числе двоичных разрядов площадь (area), занимаемая на кристалле, у обеих матриц примерно равна. Но данная архитектура требует применения цифрового декодера входного кода, преобразующего двоичный код в т.н. термометрический. С ростом разрядности сложность (complexity) такого декодера резко возрастает и, соответственно, растёт и площадь чипа; также имеет место более высокое потребление (power) по сравнению с двоично-взвешенной архитектурой. Однако у ЦАП на основе однородной матрицы есть важные преимущества перед двоично-взвешенной архитектурой:

- гарантированная монотонность характеристики преобразования;
- существенно меньшие требования к допустимым статистическим разбросам значений токов элементов матрицы для достижения требуемого значения дифференциальной нелинейности;
- малая амплитуда глитча.

### 3. Источники неоднородности параметров приборов на чипе

Основными источниками неоднородности (разброса) параметров приборов на чипе (кристалле микросхемы) являются:

- технологический разброс параметров;
- температурный рельеф;
- «стресс-рельеф».

Основными технологическими источниками возникновения разброса параметров в субмикронных структурах являются:

- неоднородность распределения легирующих примесей и структурных дефектов в наноразмерных объёмах полупроводника; колебания толщины диэлектрических покрытий в пределах одного-двух молекулярных слоёв (около 1 нм);
- зернистая структура металлических и поликремневых слоёв;
- неравномерный характер травления и полировки материалов при планаризации слоёв на полупроводниковых пластинах;
- дифракционные эффекты и отражение света от подложки при фотолитографии.

Температурным источником возникновения разброса параметров является неравномерное нагревание чипа как приборами внутри его, так и внешними источниками.

«Стресс-рельеф» образуется после корпусирования чипа за счёт возникновения дополнительных механических напряжений, которые не учитывались в процессе измерения на пластине.

### 4. Локальный разброс параметров матрицы генераторов

При построении матрицы генераторов тока критичен локальный разброс, так как он существенно влияет на дисбаланс токов. Учитывая, что размер матрицы (в нашем случае  $200 \times 200$  мкм) относительно всей площади чипа ЦАП мал, будем считать, что разброс параметров генераторов тока близок к линейному, как показано на рис. 3.

Максимальное отклонения тока единичного генератора было взято наихудшим для данной технологии [9], что составило порядка 1%. Учитывая данное распределение, матрица генераторов тока, а следовательно, и ЦАП в целом, имеет значительную интегральную нелинейность INL выходного сигнала (рис. 4).

Существуют технологические методы, позволяющие уменьшить разброс параметров благодаря усовершенствованию производственных процессов и оборудования, однако наиболее доступным способом для разработчиков является уменьшение разброса параметров конструкторскими решениями, учитывающими размещение и геометрию ячеек матрицы [10].

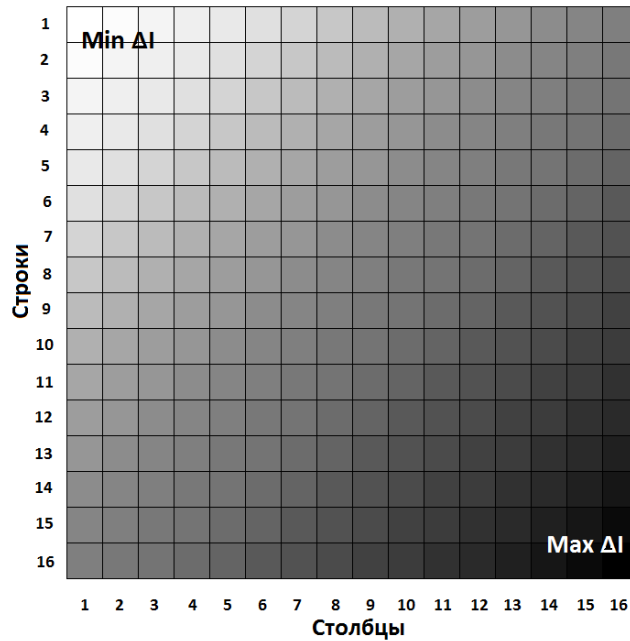


Рис. 3. Градиент разброса параметров генераторов тока  $\Delta I$  в матрице  $16 \times 16$  ( $200 \times 200$  мкм)

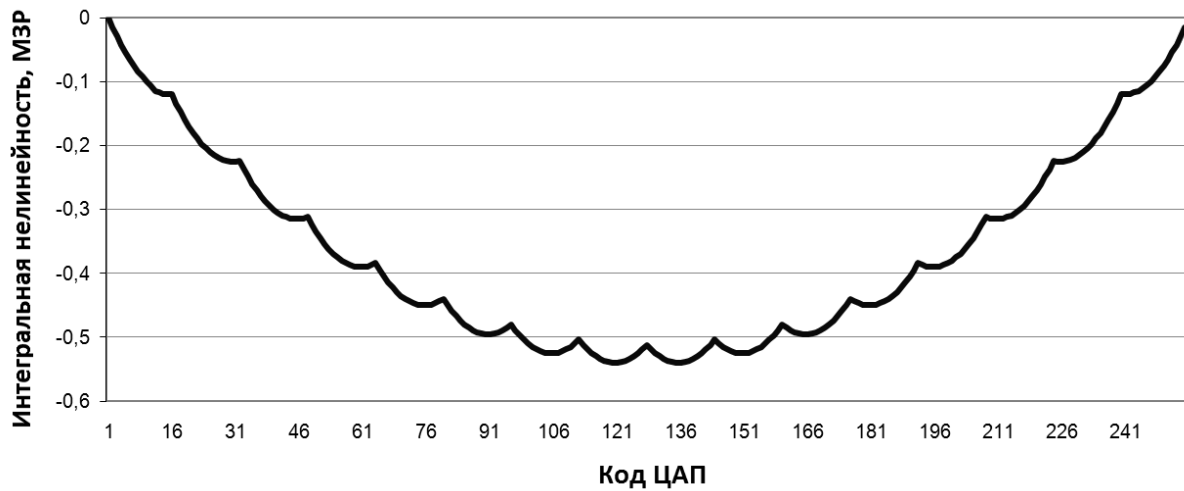


Рис. 4. Интегральная нелинейность матрицы единичных генераторов тока (МЗР – младший значащий разряд)

## 5. Схема включения генераторов и её эффективность

Матрица генераторов тока строится на основе согласованных транзисторов; при этом, чем точнее согласование транзисторов, тем меньше дисбаланс токов и, следовательно, лучше работа устройства.

В общем случае можно выделить четыре основных принципа построения согласованных элементов [11]:

- согласованные элементы должны быть топологически идентичны;
- все элементы должны иметь одинаковую ориентацию;

- согласованные элементы должны иметь минимально возможное расстояние между геометрическими центрами;
- должны быть приняты меры по обеспечению равных условий для краевых и внутренних согласованных элементов.

При построении матрицы согласуемых ячеек должны выполняться следующие правила:

- дисперсия: согласуемые элементы должны быть расположены в массиве настолько равномерно, насколько это возможно;
- компактность: матрица должна быть компактной, насколько это возможно. В идеале она должна быть квадратной. Чем более компактным может быть сделано размещение, тем менее восприимчивыми становятся согласованные элементы к градиентам разброса параметров;
- ориентация: каждый согласованный элемент должен быть одинаково ориентирован в любом направлении.
- перемешивание: элементы матрицы должны быть перемешаны по определённому методу.

Так как все ячейки матрицы являются идентичными, перемешивание достигается путём изменения схемы подключения к матрице. Последовательность подключения столбцов подбирается методом перестановки. Последовательность строк делается обратной последовательности столбцов. При разработке схемы подключения для нахождения оптимального алгоритма использовалась написанная ранее программа на языке C++ для расчета INL, блок-схема которой приведена ниже на рис.5.

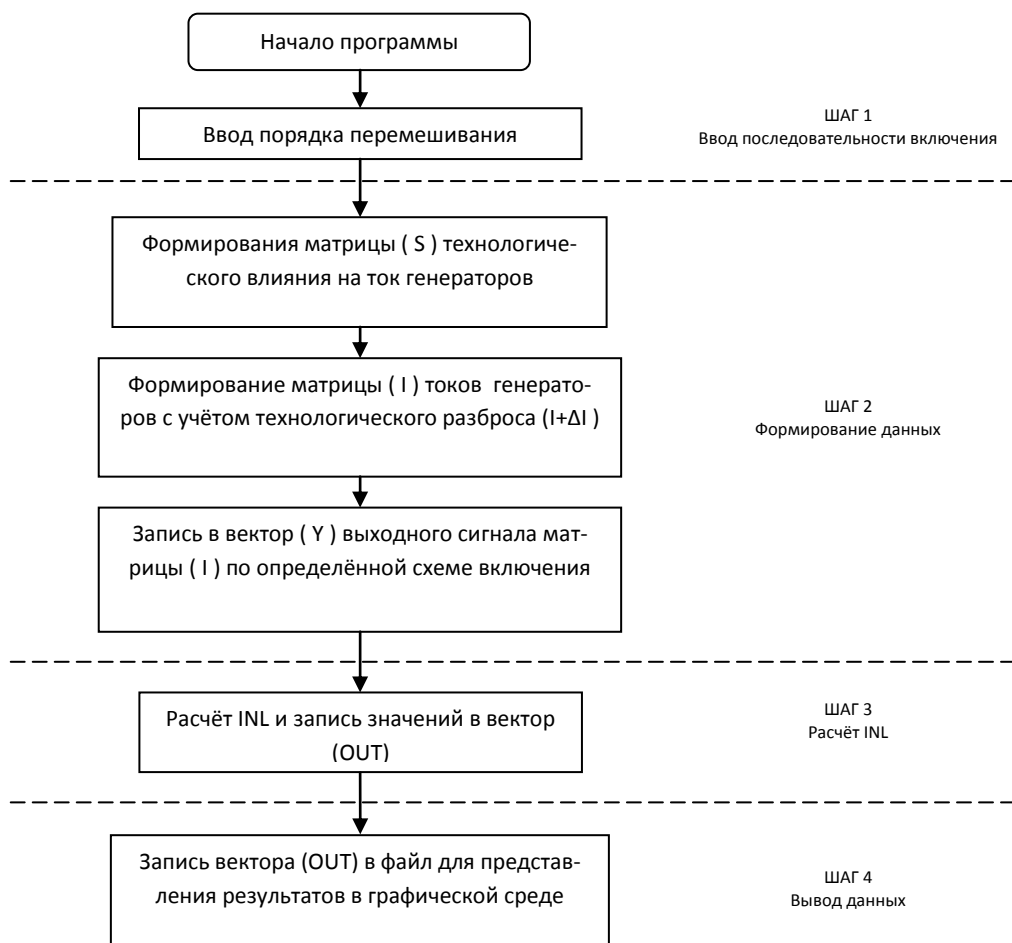


Рис.5. Блок-схема программы расчёта INL

На рис. 6 приведена разработанная схема подключения матрицы генераторов тока восьми старших разрядов, полученная методом подстановки.

Последовательность подключения столбцов

		0	11	3	14	6	9	1	12	4	15	7	10	2	13	5	8
Последовательность подключения строк	8	9	185	57	233	105	153	25	201	73	249	121	169	41	217	89	137
	5	6	182	54	230	102	150	22	198	70	246	118	166	38	214	86	134
	13	14	190	62	238	110	158	30	206	78	254	126	174	46	222	94	142
	2	3	179	51	227	99	147	19	195	67	243	115	163	35	211	83	131
	10	11	187	59	235	107	155	27	203	75	251	123	171	43	219	91	139
	7	8	184	56	232	104	152	24	200	72	248	120	168	40	216	88	136
	15	16	192	64	240	112	160	32	208	80	256	128	176	48	224	96	144
	4	5	181	53	229	101	149	21	197	69	245	117	165	37	213	85	133
	12	13	189	61	237	109	157	29	205	77	253	125	173	45	221	93	141
	1	2	178	50	226	98	146	18	194	66	242	114	162	34	210	82	130
	9	10	186	58	234	106	154	26	202	74	250	122	170	42	218	90	138
	6	7	183	55	231	103	151	23	199	71	247	119	167	39	215	87	135
	14	15	191	63	239	111	159	31	207	79	255	127	175	47	223	95	143
	3	4	180	52	228	100	148	20	196	68	244	116	164	36	212	84	132
	11	12	188	60	236	108	156	28	204	76	252	124	172	44	220	92	140
	0	1	177	49	225	97	145	17	193	65	241	113	161	33	209	81	129

Рис. 6. Порядок включения генераторов тока матрицы старших разрядов ЦАП

Данный способ перемешивания ячеек не имеет массивов сегментов симметричных относительно осей X и Y (как в методе cross-coupled) [12]. То есть, в данном случае перемешиваются все элементы матрицы (генераторы тока), а не часть элементов с последующим их перемешиванием.

Схема организации ячеек отвечает всем вышеизложенным требованиям построения матрицы согласуемых ячеек. Показатель INL при этом падает в четыре раза (см. рис. 7, 8) по сравнению с не перемешанной матрицей (см. рис. 3), и более чем в полтора раза по сравнению с перемешиванием по методу cross-coupled. Расчёт показал, что данные соотношения не меняются при использовании разных направлений градиентов и различных нелинейных распределениях. Так, наихудшая интегральная нелинейность при линейном градиенте разброса параметров для случая, когда перемешивание отсутствует, составляет  $\pm 0.541$  МЗР, при перемешивании по методу cross-coupled –  $\pm 0.212$  МЗР, при разработанном способе перемешивания элементов матрицы INL составляет  $\pm 0.136$  МЗР.

Генераторы тока младших разрядов необходимо поместить в такие же условия, для чего в матрицу старших разрядов добавляют ещё одну строчку. Допуская, что при добавлении строки в матрицу на характеристику интегральной нелинейности это оказывает минимальное влияние, строку добавляем в середину матрицы для максимального топологического соответствия ячеек генераторов тока старших и младших разрядов. Генераторы младших разрядов располагаются в соответствии с принятой схемой включения для старших разрядов. Все оставшиеся ячейки матрицы делают фиктивными (dummy) элементами. По периметру матрицу так же закрывают dummy-элементами. Конечная структура матрицы показана на рис. 9.

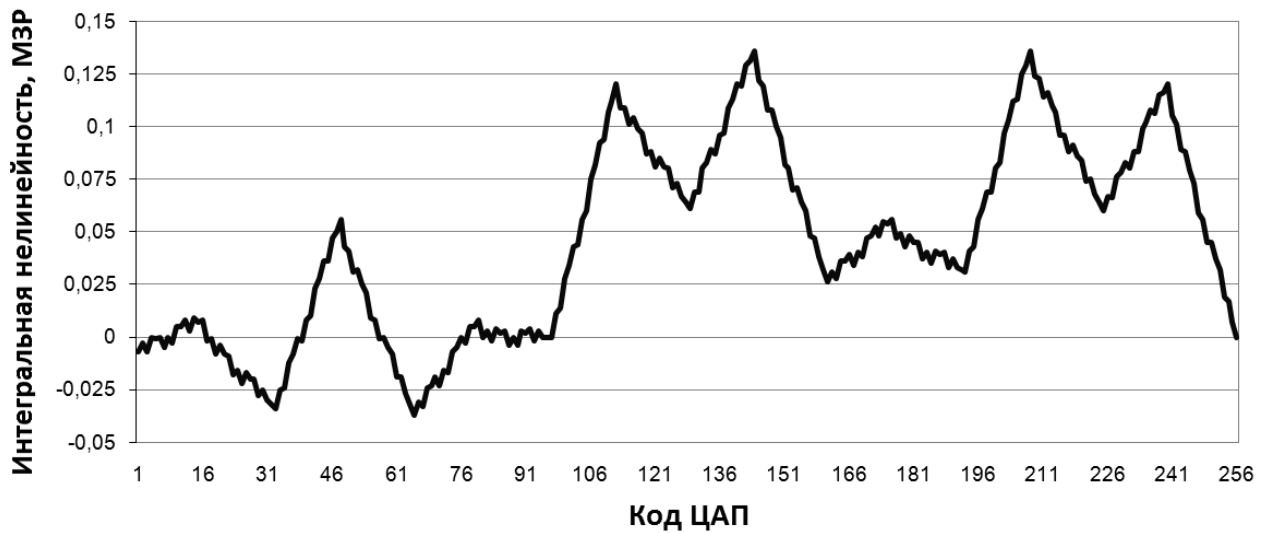


Рис. 7. Разброс параметров матрицы генераторов тока  $16 \times 16$  с предложенным способом перемешивания

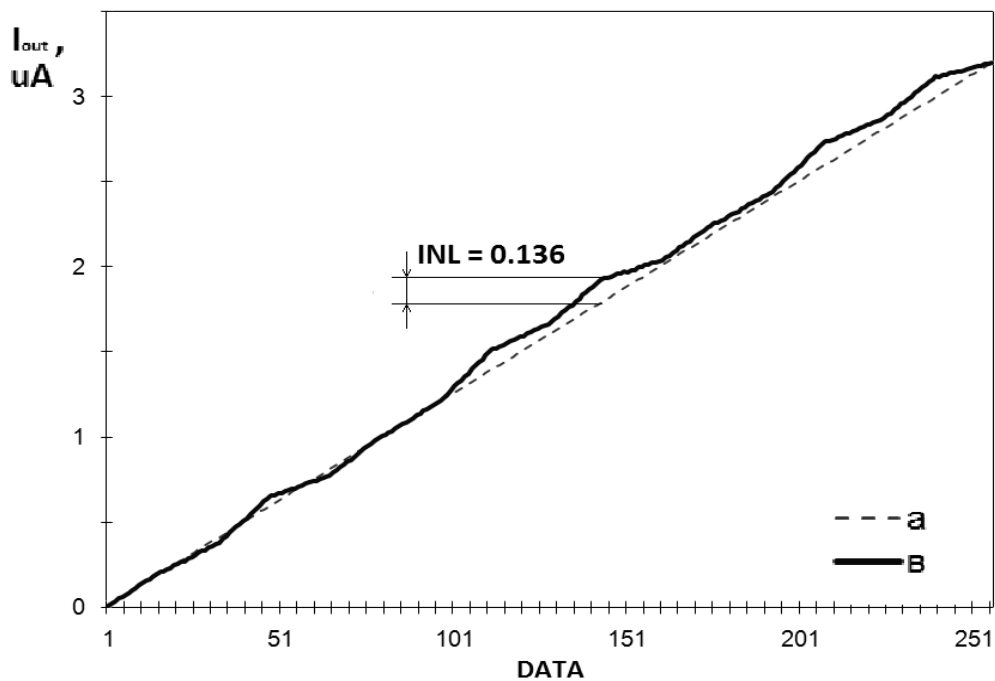


Рис. 8. Нелинейность выходного сигнала: (а) – идеальный вариант; (в) – расчётный вариант по предложенному способу подключения

Предложенная структура матрицы позволяет снизить интегральную нелинейность более чем в полтора раза по сравнению со схемами перемешивания, описанными в литературе ранее. Это дало основания для применения данной конструкции матрицы для проектирования СФ-блока 14-разрядного ЦАП в составе микросхемы СпК-тюнера для чипсета радиоприёмника цифрового радиовещания в формате DRM, выполненном по КМОП-технологии с проектно-технологическими нормами 0,18 мкм.



Последовательность подключения столбцов

		0	11	3	14	6	9	1	12	4	15	7	10	2	13	5	8		
Последовательность подключения строк	8	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D		
	5	D	9	185	57	233	105	153	25	201	73	249	121	169	41	217	89	137	
	13	D	6	182	54	230	102	150	22	198	70	246	118	166	38	214	86	134	
	2	D	14	190	62	238	110	158	30	206	78	254	126	174	46	222	94	142	
	10	D	3	179	51	227	99	147	19	195	67	243	115	163	35	211	83	131	
	7	D	11	187	59	235	107	155	27	203	75	251	123	171	43	219	91	139	
	15	D	8	184	56	232	104	152	24	200	72	248	120	168	40	216	88	136	
	4	D	16	192	64	240	112	160	32	208	80	256	128	176	48	224	96	144	
	12	D	5	181	53	229	101	149	21	197	69	245	117	165	37	213	85	133	
	1	D	m 1	D	D	D	m 6	D	m 2	D	m 4	D	D	D	m 3	D	m 5	D	D
	9	D	13	189	61	237	109	157	29	205	77	253	125	173	45	221	93	141	
	6	D	2	178	50	226	98	146	18	194	66	242	114	162	34	210	82	130	
	14	D	10	186	58	234	106	154	26	202	74	250	122	170	42	218	90	138	
	3	D	7	183	55	231	103	151	23	199	71	247	119	167	39	215	87	135	
	11	D	15	191	63	239	111	159	31	207	79	255	127	175	47	223	95	143	
	0	D	4	180	52	228	100	148	20	196	68	244	116	164	36	212	84	132	
		D	12	188	60	236	108	156	28	204	76	252	124	172	44	220	92	140	
		D	1	177	49	225	97	145	17	193	65	241	113	161	33	209	81	129	
	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	

Рис. 9. Структура матрицы генераторов тока 14-разрядного ЦАП. □<sub>x</sub> – генераторы тока старшего разряда, □<sub>m x</sub> – генераторы тока младшего разряда, D – думми-элементы

### 5. Заключение

Разработана улучшенная конструкция топологии матрицы единичных генераторов тока для СФ-блока 14-разрядного ЦАП на базе КМОП-технологии. Предложены основные принципы формирования конструкции матрицы согласуемых элементов. Подобрана улучшенная последовательность подключения столбцов и строк матрицы старших разрядов методом подстановки. Для проверки эффективности была разработана программа на языке С++ расчёта INL в зависимости от схемы включения столбцов и строк, а также от направления и типа градиента разброса параметров. Сформирована конечная конструкция топологии матрицы единичных генераторов тока старшего и младшего разряда.

Приведённые в статье конструкция и способ подключения матрицы единичных генераторов тока позволили снизить интегральную нелинейность более чем в полтора раза по сравнению со схемами перемешивания, описанными в литературе ранее. Достигнутые выходные характеристики интегральной нелинейности позволили применить предложенную конструкцию матрицы при проектировании СФ-блока 14-разрядного ЦАП в составе микросхемы СнК-тюнера для чипсета радиоприёмника цифрового радиовещания в формате DRM, выполненном по КМОП-технологии с проектно-технологическими нормами 0.18 мкм.

### Благодарность

Авторы выражают благодарность профессору кафедры технической электроники СибГУТИ В.Ю. Васильеву за внимательное прочтение и ценные замечания по рукописи статьи.

## Литература

1. П.С. Хабаров, Д.Л. Шлемин, В.Д. Лысь, Ю.П. Лебедев Проектирование сложно-функциональных блоков смешанного сигнала на основе субмикронной технологии на примере микросхемы видеodeкодера. Часть 1. Конструкция и топология микросхемы // Вестник СибГУТИ, 2011, №2, с. 23- 34.
2. Nejati B., Larson L. An area optimized 2.5 V 10-b 200-Ms/s 200-uA CMOS DAC//IEEE 2006 Custom Integrated Circuits Conference, p.p. 161- 164.
3. Ionascu C., Burdia D. Design and implementation of video DAC in 0.13 um CMOS technology // International Symposium on Signals, Circuits and Systems, 2003, p.p. 381-384.
4. Van den Bosch A., Borremans M., Steyaert M., Sansen W. A 10-bit 1 GSample/s Nyquist current-steering CMOS D/A converter // IEEE Journal of Solid-State Circuits, vol. 36, № 3, 2001, p.p. 315-324.
5. Lin C-H., Bult K. A 10-b 500-MSamples/s CMOS DAC in 0.6 mm<sup>2</sup> // IEEE Journal of Solid-State Circuits, vol. 33, № 12, 1998, p.p. 1948-1958.
6. Ni W., Geng X., Shi Y., Dai F. A 12-bit 300 MHz CMOS DAC for high-speed system applications// International symposium on signals, Circuits and systems, 2006, p.p. 1402-1405.
7. CMOS Integrated analog-to-digital and digital-to-analog converters, - Van de Plassche R., - 2<sup>nd</sup> Edition, // Kluwer Academic Publishers, 2003, 588 pages.
8. Data converters, - Maloberti F., // Springer, 2007, 440 pages.
9. П.С. Хабаров, Д.Л. Шлемин, В.Д. Лысь, Ю.П. Лебедев Проектирование сложно-функциональных блоков смешанного сигнала на основе субмикронной технологии на примере микросхемы видеodeкодера. Часть 2. Верификация микросхемы «на кремнии» // Вестник СибГУТИ, 2011, №3, с. 3-13.
10. Huuen-Hee Bae, Jin-Sik Yoon A 3V 12b 100MS/s CMOS D/A converter for high-speed system applications // IEEE 2003.
11. Dan Clein CMOS IC layout. Concepts, Methodologies, and Tools // Newnes, 2000, 281 pages.
12. Кириллова Е. Построение топологии токовых зеркал // Компоненты и технологии, 2008, №5, с. 128-131.

Статья поступила в редакцию 27.04.12

### **Карпович Максим Сергеевич**

инженер ООО «СибИС» (630049, Новосибирск, ул. Красный проспект 220, корп. 2, офис 300) тел. (383) 2-277-639.

### **Лысь Василий Дмитриевич**

руководитель группы ООО «СибИС» (630049, Новосибирск, ул. Красный проспект 220, корп. 2, офис 300) тел. (383) 2-277-639.

### **Шлемин Дмитрий Львович**

к.т.н., руководитель группы ООО «СибИС» (630049, Новосибирск, ул. Красный проспект 220, корп. 2, офис 300), член IEEE, тел. (383) 2-277-639.

### **Лебедев Юрий Павлович**

ведущий инженер ООО «СибИС» (630049, Новосибирск, ул. Красный проспект 220, корп. 2, офис 300) тел. (383) 2-277-639.

**Features of Complex Functional Block Designing of 14 Bit Digital to Analog Converter of Submicron Integrated Circuit of «Oncrystalsystem» Type****M.S. Karpovich, V.D. Lys, D.L. Shlemin, U.P. Lebedev**

This article considers main causes of technological scattering influence on digital-to analog converter characteristics (DAC) while designing according to CMOS technology with design engineering rate- 0,18( $\mu\text{m}$ ). An improved scheme of inclusion of current generator matrix of high-order digits while increasing number of digits of digit-to-analog converters from 10 to 14 is offered. A program for checking mixing circuitry effectiveness according to one of DAC key characteristic performance – integral nonlinearity (INL) is developed. A combination for including matrix with the least index of INL matrix of high-order digits is presented.

*Keywords:* digit-to-analog converter, nonlinearity of DAC, single current generator matrix.