

Особенности проектирования топологии дифференциальных пар и токовых зеркал базовых сложнофункциональных блоков субмикронных интегральных микросхем типа «система-на-кристалле»¹

М.С. Карпович, Ю.П. Лебедев

Рассмотрены основные причины рассогласования элементов в дифференциальных парах и токовых зеркалах при проектировании сложнофункциональных (СФ) блоков цифро-аналоговых и аналого-цифровых преобразователей интегральных микросхем по субмикронной КМОП-технологии. Рассмотрены основные проблемы, возникающие при проектировании входящих в СФ-блоки дифференциальных пар и токовых зеркал с использованием фиктивных (dummy) транзисторов. Представлены общие принципы построения топологии согласованных элементов. Показана необходимость использования dummy-транзисторов в составе дифференциальных пар и токовых зеркал. Проведен анализ конструкций топологии согласованных транзисторов с использованием dummy-элементов. Приведены основные варианты подключения dummy-транзисторов в составе токового зеркала. Разработан код проверки подключения dummy-транзисторов для разных конструкций дифференциальных пар и токовых зеркал средствами верификации топологии Calibre фирмы Mentor Graphics.

Ключевые слова: субмикронная интегральная микросхема типа «система-на-кристалле», сложнофункциональный блок, дифференциальная пара, токовое зеркало, фиктивный элемент, dummy-транзистор.

1. Введение

Современные твердотельные интегральные микросхемы (ИМС), реализуемые по идеологии «система-на-кристалле» (СнК), представляют собой совокупность взаимосвязанных т.н. «сложнофункциональных блоков» (СФ-блоков). Такие блоки проектируются и изготавливаются на основе единой базовой технологии изготовления кристаллов (чипов) ИМС, в настоящее время наиболее оптимальной с точки зрения «качество/цена» – субмикронной КМОП-технологии. Одними из наиболее сложных для проектирования являются СФ-блоки цифро-аналоговых и аналого-цифровых преобразователей (ЦАП и АЦП, соответственно).

В предыдущей работе [1, 2] рассмотрены результаты проектирования и изготовления по КМОП-технологии с проектно-технологическими нормами 0.18 мкм ИМС типа СнК мультимедийного PAL/NTSC видеodeкодера класса «микросхема смешанного сигнала» («mixed signal»), включающего цифровой модулятор и трёхканальный 10-разрядный ЦАП с рабочей частотой 27 МГц. Развитие этой темы получило в разработке более сложного двухканально-

¹ Работа выполнена при финансовой поддержке Министерства образования и науки РФ в рамках реализации НИР «Разработка базовых серийных технологий изделий микроэлектроники: систем на кристалле (мультимедийного тюнера)» (ГК №16.426.11.0042).

го 14-разрядного ЦАП для микросхемы тюнера цифрового радиовещания в формате DRM. Так, в нашей работе [3] рассмотрены вопросы проектирования ключевого элемента ЦАП – матрицы генераторов тока для СФ-блока 14-разрядного ЦАП на базе КМОП-технологии с проектно-технологическими нормами 0.18 мкм, в т.ч. оптимизации последовательности подключения единичных генераторов тока в матрице.

В состав базовых СФ-блоков ЦАП и АЦП, таких как источники тока, компараторы и операционные усилители, входят т.н. «дифференциальные пары» и «токовые зеркала». Дифференциальная пара (ДП) представляет собой наиболее универсальный вид усилителя, функциональное назначение которого состоит в усилении разности входных сигналов. Токовое зеркало (ТЗ) является генератором тока, управляемым током, у которого чаще всего выходной ток равен управляющему или отличается от него в целое число раз. От характеристик ДП и ТЗ зависит работа аналоговых блоков на их основе и, как следствие, работа ИМС в целом. Специфика проектирования топологии таких блоков состоит в том, что их характеристики сильно зависят от физической реализации блоков. Поэтому конструкции ДП и ТЗ требуют тщательного проектирования для достижения требуемых параметров.

Для нормальной работы ДП и ТЗ определяющее значение имеет воспроизводимость параметров и согласованность составляющих их элементов, в связи с чем к топологической конструкции этих приборов предъявляются высокие требования. Проблема заключается в получении идентичных характеристик входящих в СФ-блоки МОП-транзисторов, которые могут отличаться ввиду неоднородности (разброса) технологических параметров. Известно, что даже для хорошо управляемых и стабильных технологических процессов современных микроэлектронных производств разброс параметров технологии составляет $< \pm 10\%$ для пластин и $\sim 0.5\%$ для одного кристалла, что для скоростных многоразрядных ЦАП и АЦП имеет принципиальное значение.

На рис.1 представлен расчёт рассогласования по току на примере токового зеркала, выполненного по КМОП-технологии 0.18 мкм, в том числе с размерами длины канала МОП-транзистора (L) 0.18 и 1 мкм, при возможных технологических изменениях длины канала ΔL транзисторов на 5 нм и 15 нм. Можно видеть, что рассогласование может достигать 5% в малом диапазоне токов, причем с уменьшением размеров каналов транзисторов токовых зеркал величина рассогласования резко возрастает. В этой связи одной из задач разработчиков топологии СФ-блоков ЦАП и АЦП является поиск конструкторских решений по минимизации рассогласования составляющих их элементов.

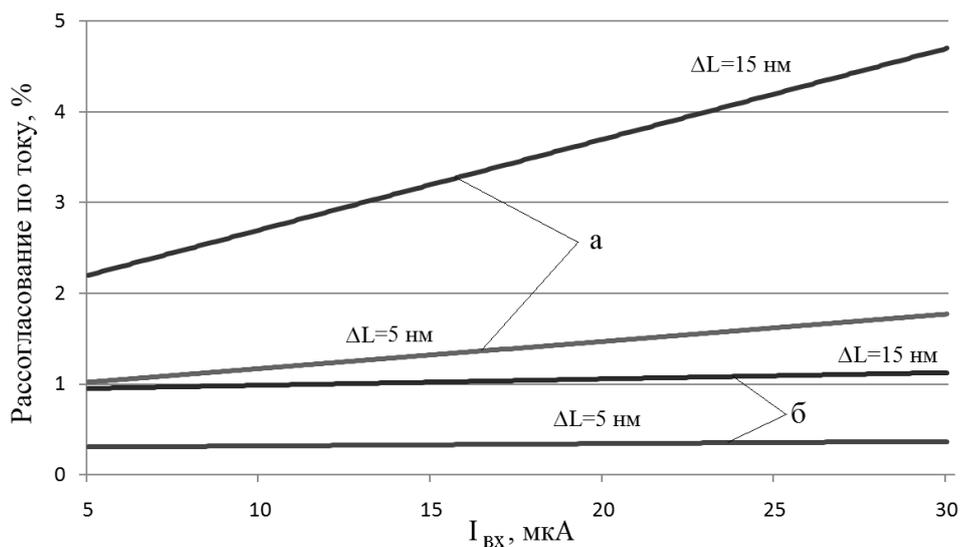


Рис. 1. Иллюстрация расчёта рассогласования по току в ТЗ, выполненных с использованием МОП-транзисторов с $L=180$ нм, $W=240$ нм (а), $L=1$ мкм, $W=3$ мкм (б)

Известны общепринятые методы построения топологии СФ-блоков ИМС, уменьшающие рассогласование характеристик элементов с использованием т.н. «фиктивных» (dummy) элементов [4]. Однако их неправильное применение в топологии дифференциальных пар и токовых зеркал приводит к ухудшению характеристик приборов. Так, например, неправильное подключение dummy-элементов для уменьшения технологического влияния соседних структур может привести к неправильной работе ИМС в целом.

Целью настоящей работы является анализ применения dummy-транзисторов при проектировании топологии дифференциальных пар и токовых зеркал в составе базовых СФ-блоков ЦАП и АЦП субмикронных КМОП ИМС и разработка кода проверок правильности подключения dummy-транзисторов в СФ-блоках в рамках специализированного программного обеспечения Calibre фирмы Mentor Graphics.

2. Причины рассогласования элементов и способы их устранения

Основными причинами рассогласования элементов являются отклонения геометрии элементов и механические напряжения в пределах кристалла, возникающие в ходе изготовления ИМС, включая корпусирование кристаллов. Оптимизация размещения согласованных элементов на кристалле может уменьшить чувствительность схемы к возникающим механическим напряжениям и ряду других негативных факторов [5]. После корпусирования в кристалле возникают дополнительные механические напряжения, могущие вызвать дополнительное рассогласование элементов. Известно, что данные механические напряжения минимальны в центре кристалла и в центрах его сторон, а максимальны в углах кристалла. Согласованные элементы по току и напряжению необходимо располагать в местах с минимальным механическим напряжением.

Источниками рассогласования также могут быть технологические факторы при изготовлении кристаллов, например, дефекты исходной кремниевой пластины, смещение масок при фотолитографии и неравномерность травления транзисторов ИМС, в совокупности вызывающие невозпроизводимость размеров элементов ИМС, наличие негативного влияния соседних структур и электростатическое взаимодействие, модуляции напряжения и инъекции заряда, а также диэлектрическая поляризация. Такие технологические параметры, как: температура, концентрация реагентов, толщина фоторезиста, мощность излучения в рабочих камерах технологических установок и т.д., – обычно имеют либо линейный, либо центрально-симметричный градиент, обусловленный конструктивными особенностями установок. В результате совокупности факторов (т.е. в зависимости от расположения пластин в рабочих камерах, характеристик и параметров технологических установок) после прохождения всех этапов технологического процесса на пластине формируется сложный рельеф микроскопических неоднородностей.

Ввиду вышеуказанной многофакторности, в настоящее время не существует общих решений минимизации рассогласования элементов в ИМС. Одним из вариантов минимизации рассогласования является оптимизация топологии элементов в СФ-блоках ИМС, прежде всего в СФ-блоках ЦАП и АЦП. Для минимизации рассогласования предлагались принципы построения топологии согласованных интегральных элементов [5]. Дифференциальные пары и токовые зеркала строятся на основе согласованных транзисторов и чем точнее они согласуются, тем меньший дисбаланс токов и напряжений имеет место в готовом блоке ИМС.

3. Основные принципы построения согласованных элементов

В общем случае можно выделить четыре основных принципа [4, 6] построения согласованных элементов:

- согласованные элементы должны состоять из идентичных сегментов, при необходимости организованных в массив;
- все сегменты в массиве согласованных элементов должны иметь одинаковую пространственную ориентацию, рис.2(а, б);

– массивы сегментов согласованных элементов должны иметь минимально возможное расстояние между геометрическими центрами сегментов;

– должны быть приняты меры по обеспечению равных условий для краевых и внутренних сегментов массива путём применения дополнительных dummy-элементов, рис.2(в), которые, даже не включённые в электрическую схему прибора, обеспечивают лучшую технологическую воспроизводимость размеров и параметров активных элементов в ходе изготовления ИМС.

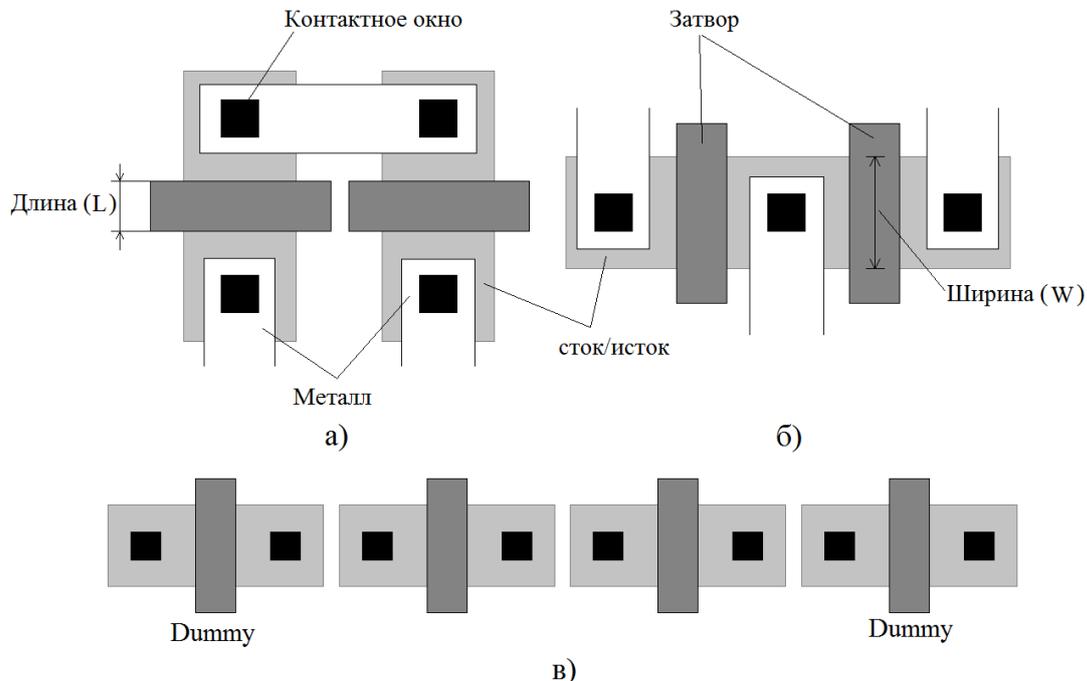


Рис. 2. Топология одинаково ориентированных транзисторов в составе токового зеркала с горизонтальным (а), вертикальным (б) расположением затворов, и с использованием dummy-транзисторов по обе стороны от активных транзисторов (в)

При изготовлении ИМС на довольно протяжённом технологическом маршруте возникает множество технологических факторов, вызывающих отклонения параметров элементов СФ-блоков. Например, фактические скорости травления поликремниевых и диффузионных областей в локальных областях кристалла зависят от взаимного расположения элементов. В результате такой зависимости может возникнуть рассогласование в эффективных ширинах и длинах каналов согласованных МОП-транзисторов. Если использовать транзисторы с длиной канала больше минимальной, то можно достичь среднего или точного согласования по току в ТЗ и напряжению в ДП, используя dummy-элементы [7].

Расстояние между затворами dummy и активных транзисторов должно точно соответствовать расстоянию между затворами активных транзисторов. В общем случае возможны два варианта конструкции топологии двух согласованных транзисторов с использованием dummy-транзисторов [8] (рис.3).

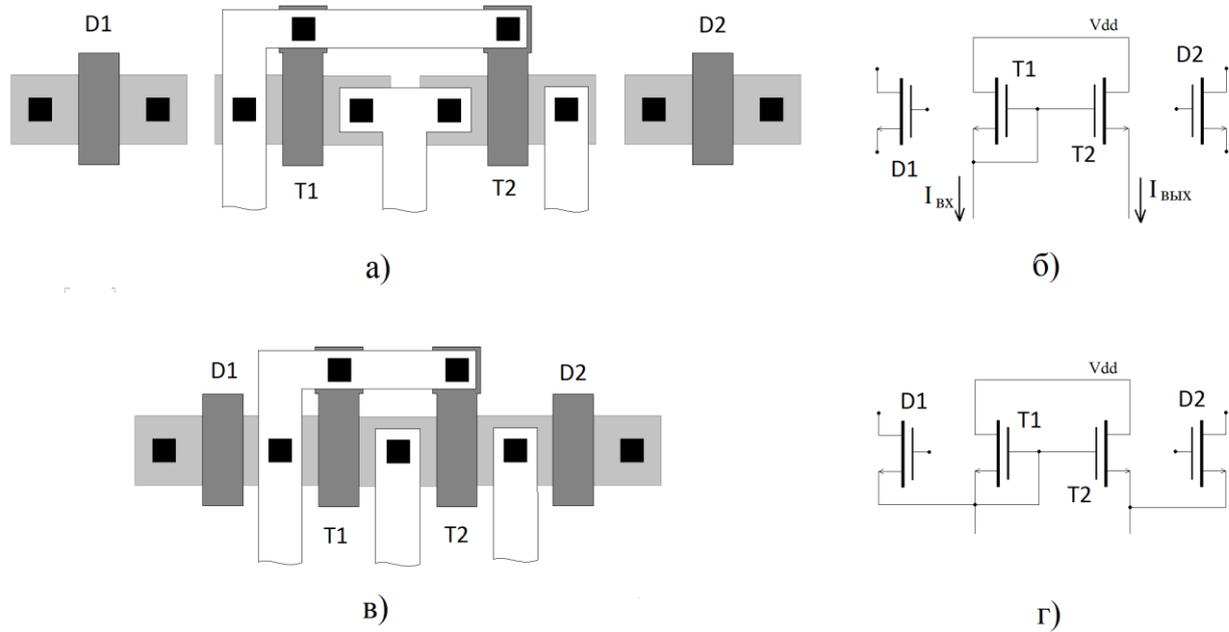


Рис. 3. Варианты построения токового зеркала с dummy-транзистором и их принципиальная схема, где D1, D2 – dummy-транзисторы, T1, T2 – активные транзисторы

В первом варианте конструкции все активные транзисторы и dummy-элементы отделены друг от друга, рис.3(а) и коммутация активных транзисторов осуществляется с помощью металлических проводников. При этом dummy-транзисторы не включаются в работу прибора, рис.3(б). Во втором варианте стоковая область активных транзисторов является общей, рис.3(в). Так же истоковые области активных и dummy-транзисторов объединены. В данном способе dummy-транзисторы при неправильном подключении могут участвовать в работе прибора, рис.3(г). Плюсом первого варианта является неучастие dummy-транзисторов в работе прибора. Во втором варианте меньше площадь прибора, следовательно, согласованность активных транзисторов выше.

Так же, для согласованных транзисторов с длиной канала, в несколько раз превышающей минимальный размер, возможно применение dummy-транзистора с минимальной длиной канала. На рис.4 показана конструкция согласованных транзисторов в составе токового зеркала, выполненная по такому принципу.

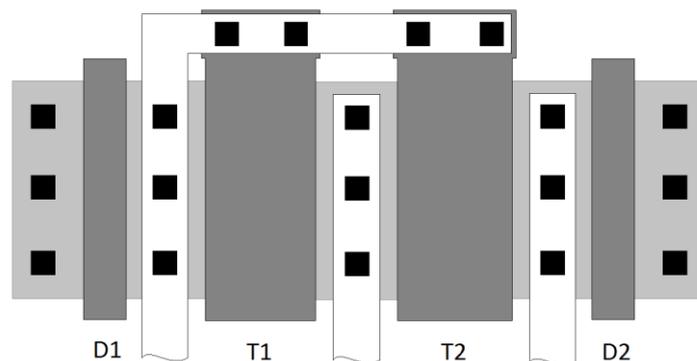


Рис. 4. Использование dummy-транзисторов с минимальной длиной канала для согласования активных транзисторов с увеличенной длиной канала на примере T3, где D1, D2 – dummy-транзисторы, T1, T2 – активные транзисторы

Добавленные dummy-транзисторы нуждаются в особом контроле, так как при неправильном их подключении разработчик рискует нарушить работоспособность как базового СФ-блока, так и устройства целиком. Для T3, выполненных по первому варианту конструкции топологии, рис.3(а), для правильного функционирования достаточно оставить все выводы dummy-транзистора неподключенными, рис.5(а). При этом dummy-транзисторы не по-

вливают на работу прибора, но обеспечат крайвым и внутренним активным транзисторам более равные условия на кристалле.

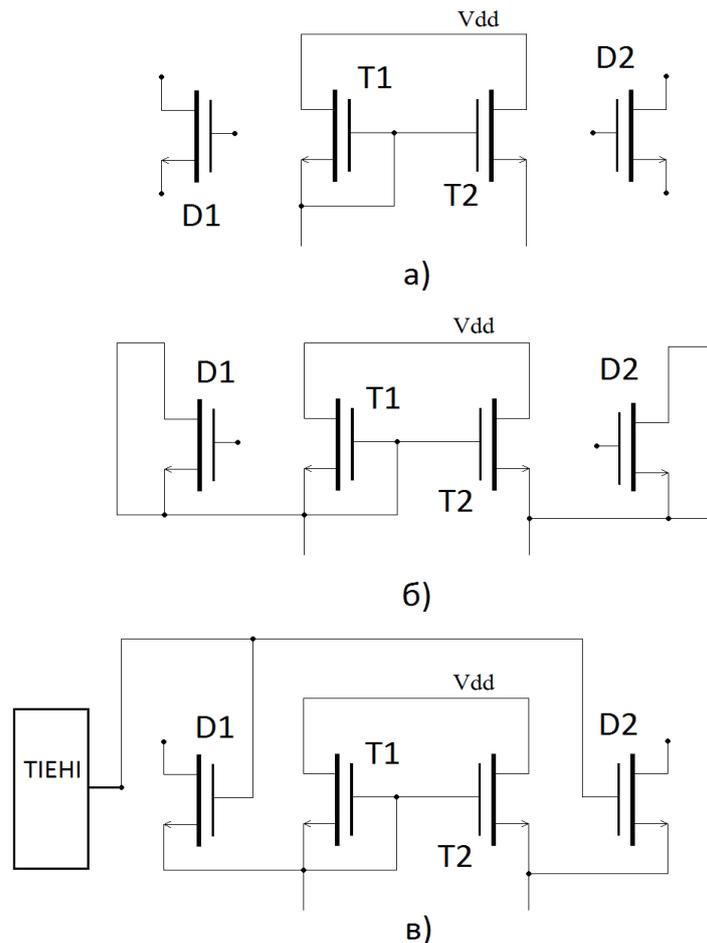


Рис. 5. Способы коммутации dummy-транзисторов в структуре токового зеркала, где D1, D2 – dummy-транзисторы, T1, T2 – активные транзисторы

Во втором варианте конструкции, рис.3(в) данное решение может привести к неработоспособности прибора вследствие плавающего потенциала на затворе. Поэтому используются следующие способы включения dummy-транзисторов в рабочую схему:

Способ 1. Сток и исток должны быть соединены между собой, т.е. иметь всегда одинаковый потенциал при неподключённом затворе, рис.5(б). При этом исключается негативное влияние на работу прибора, вызванное плавающим затвором dummy-транзисторов.

Способ 2. Dummy-транзисторы должны быть всегда заперты, т.е. если это р-канальный транзистор, то на затворе у него должна быть логическая единица, если п-канальный, то логический ноль. Данный способ требует дополнительный блок т.н. «подтяжки к нулю», если используются п-канальные МОП-транзисторы и, если используются р-канальные МОП-транзисторы, т.н. «подтяжки к питанию» (или T1ENI), см. рис.5(в). Его необходимо будет добавить в принципиальную схему для исключения ошибок при проверке топологии на соответствие принципиальной схеме. В данном методе можно использовать один блок подтяжки к нулю и к питанию для нескольких dummy-транзисторов различных приборов.

Первый способ является менее трудоёмким по сравнению со вторым. Допускается использование обоих способов одновременно. Рассмотренные способы подключения применимы и в конструкциях дифференциальных пар с использованием dummy-транзисторов для уменьшения рассогласования по напряжению.

4. Проверка подключения dummy-транзисторов

Современное проектирование субмикронных ИМС, в особенности, содержащих СФ-блоки ЦАП и АЦП, подразумевает проведение детальных и длительных работ по моделированию работы блоков. Разработчикам рекомендуется на этапе моделирования добавлять в принципиальную схему прибора dummy-элементы; при этом исключаются ошибки, связанные с dummy-элементами. Однако для упрощения процесса разработки в технологические библиотеки (Process Design Kit, PDK) основных мировых фаундри-фабрик включён т.н. слой DGATE_mrk – маркировочный слой dummy-элементов. Это позволяет разработчику в своих схемотехнических решениях не учитывать dummy-элементы, в результате рабочая схема прибора упрощается. Выделенные слоем DGATE_mrk элементы при проверке соответствия топологии принципиальной схеме не определяются, в результате отсутствует проверка их на схему подключения. Однако при экстракции схемы (обратном восстановлении электрической принципиальной схемы из топологии) учитываются паразитные ёмкости и сопротивления dummy-элементов, что является важным и необходимым условием при моделировании рабочей схемы с паразитными элементами.

Для того чтобы свести возможность ошибки в подключении dummy-транзисторов к минимуму, при использовании маркировочного слоя DGATE_mrk необходимо дополнить поставляемые в составе PDK файлы различных проверок новыми проверочными опциями. Для этого нами на языке SVRF был разработан собственный код проверок различных способов подключения dummy-элементов для верификатора топологии Calibre фирмы Mentor Graphics.

Для проверки первого способа подключения код опции проверки топологической реализации с технологическими нормами выглядит следующим образом:

```
//dummy process
SD_all_1 = Psd OR Nsd
SD_all = ENCLOSE SD_all_1 Contact
connect Met1 SD_all by Contact

Dummy.test
{
    @ dummy S/D have two diff net
    touch Dgate_mrk SD_all > 1 by net
}
// end dummy
```

Для проверки второго способа код опции проверки топологической реализации схемы с её исходным описанием выглядит следующим образом:

```
//Dummy n-ch
ERC_NDUMMY
{
    @ ERC Rule: Gate Dummy n-channel not connected to 0
    NtapDummy_nodev = (Nchannel AND DGATE_mrk) NOT DIODE
    NOT NET MVNwtap_nodev "log_0"
}
//end dummy n-ch

//Dummy p-ch
ERC_PDUMMY{
    @ ERC Rule: Gate Dummy p-channel not connected to 1
    PtapDummy_nodev = (Pchannel AND DGATE_mrk) NOT DIODE
```

```

NOT NET HVNwtap_nodev "log_1"
}
//end dummy p-ch

```

Разработанные коды опций в файлах проверки PDK дают возможность разработчику ИМС программно отслеживать наличие ошибок в подключении dummy-транзисторов в ходе верификации топологии на разных этапах проектирования. Данные коды опций проверок применимы к dummy-транзисторам дифференциальных пар и токовых зеркал. Возможность предложенной проверки подключения dummy-транзисторов позволяет отслеживать правильность применения данных способов при проектировании СФ-блоков высокоскоростных многозарядных ЦАП и АЦП, выполненных по субмикронной КМОП-технологии.

Способы построения топологии согласованных фигур, описанные выше, увеличивают повторяемость характеристик транзисторов, при этом рассогласование, например токов в ТЗ, стремится к идеальному минимуму, как проиллюстрировано стрелкой на диаграмме на рис.6.

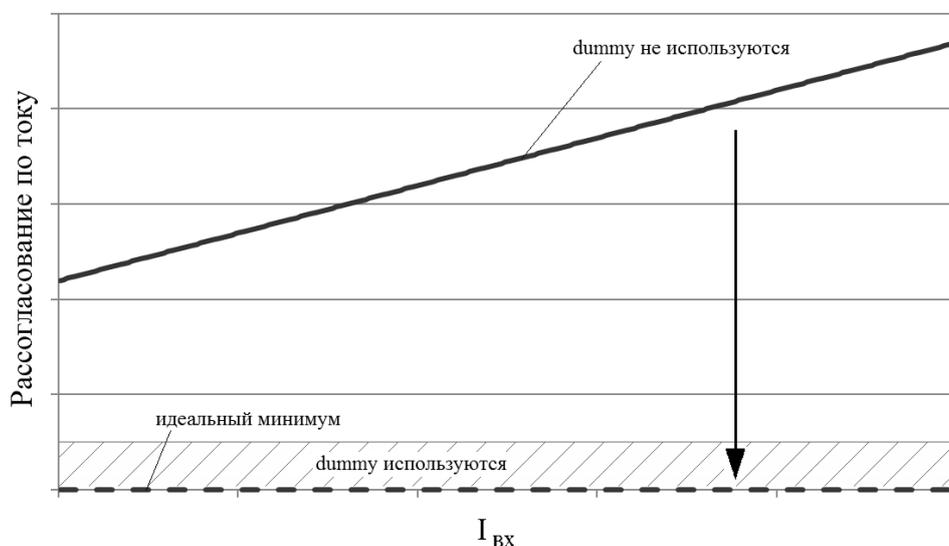


Рис. 6. Диаграмма, демонстрирующая рассогласование по току в ТЗ в отсутствии dummy-транзисторов, идеальном случае (соответствует нулю), и предлагаемый случай с использованием dummy-транзисторов

5. Заключение

Рассмотрены основные причины рассогласования элементов в дифференциальных парах и токовых зеркалах при проектировании ИМС по субмикронной КМОП-технологии. Представлены общие принципы построения топологии согласованных элементов с применением dummy. И в частности, использования dummy-транзисторов в составе дифференциальных пар и токовых зеркал. Проведён анализ конструкций топологии согласованных транзисторов с использованием dummy-элементов. Проанализированы способы подключения dummy-транзисторов в составе токовых зеркал и дифференциальных пар для минимизации их влияния на работу прибора. Разработан код опций проверки способов подключения dummy-транзисторов средствами верификации топологии Calibre фирмы Mentor Graphics.

Приведённые в статье конструкции и способы подключения dummy-транзисторов в дифференциальных парах и токовых зеркалах обеспечивают улучшение воспроизводимости параметров и согласованности элементов в их составе. Возможность разработанной проверки использования dummy-транзисторов опробована в реальном проекте и может применяться при проектировании топологии базовых СФ-блоков для ЦАП и АЦП интегральных микросхем [1-3] выполненных по субмикронной КМОП-технологии и, в конечном итоге,

минимизировать рассогласование по току и напряжению в токовых зеркалах и дифференциальных парах, соответственно.

Благодарность

Авторы выражают благодарность профессору кафедры технической электроники СибГУТИ В.Ю. Васильеву за внимательное прочтение и ценные замечания по рукописи статьи.

Литература

1. *П.С. Хабаров, Д.Л. Шлемин, В.Д. Лысь, Ю.П. Лебедев* Проектирование сложно-функциональных блоков смешанного сигнала на основе субмикронной технологии на примере микросхемы видеodeкодера. Часть 1. Конструкция и топология микросхемы // Вестник СибГУТИ, 2011, №2, с. 23-34.
2. *П.С. Хабаров, Д.Л. Шлемин, В.Д. Лысь, Ю.П. Лебедев* Проектирование сложно-функциональных блоков смешанного сигнала на основе субмикронной технологии на примере микросхемы видеodeкодера. Часть 2. Верификация микросхемы «на кремнии» // Вестник СибГУТИ, 2011, №3, с. 3-13.
3. *М.С. Карпович., В.Д. Лысь., Д.Л. Шлемин., Ю.П. Лебедев* «Особенности проектирования сложнофункционального блока 14-разрядного цифро-аналогового преобразователя субмикронной интегральной микросхемы типа «система-на-кристалле» // Вестник СибГУТИ, 2012, №2, с.35 – 45.
4. *Кириллова Е.* Физическое проектирование прецизионных аналоговых блоков в цифро-аналоговых ИМС // Компоненты и технология, 2007, №6, с. 154 – 163.
5. *Alan Hastings* The art of analog layout // Prentice - Hall - 2001. - 735 с.
6. *Кириллова Е.* Построение топологии токовых зеркал // Компоненты и технологии, 2008, №5, с. 128 – 131.
7. *Behzad Razavi* Design of analog CMOS integrated circuits // McGraw - Hill higher education, 2001, 686 pages.
8. *Dan Clein* CMOS IC layout. Concepts, Methodologies, and Tools // Newnes, 2000, 281 pages.

Статья поступила в редакцию 21.04.2012

Карпович Максим Сергеевич

инженер-конструктор ООО «СибИС» (630049, Новосибирск, ул. Красный проспект 220, корп.2, офис 300) тел. (383) 2-277-639, karpovich@sib-is.ru

Лебедев Юрий Павлович

ведущий инженер-конструктор ООО «СибИС» (630049, Новосибирск, ул. Красный проспект 220, корп.2, офис 300) тел. (383) 2-277-639

Layout Design Features of Differential Pairs and Current Mirrors of Complex Functional Blocks of Submicron Integrated Circuits like “SOC”**M.S. Karpovich, U. P. Lebedev**

This paper considers main causes of element mismatch in differential pairs and current mirrors while designing complex functional (CF) blocks of digital-to-analog and analog-to-digital converters of integrated circuits according to submicron CMOS technology. Main problems encountered while designing differential pairs and current mirrors being part of CF blocks and using fictitious (dummy) transistors are considered. General principles of mismatched elements layout are presented. The necessity of using dummy transistors being part of differential pairs and current mirrors is presented. The analysis of mismatched elements layout design using dummy elements is conducted. Basic dummy transistor connection variants are given. Check code of dummy transistors connection for various differential pairs design and current mirrors by means of Calibre topology verification by Mentor Graphics.

Keywords: submicron integrated circuits as “SoC”, CF block, differential pair, current mirror, dummy element, dummy transistor.