

Разработка высокочастотных интегрально-гребенчатых фильтров на базе КМОП-технологии с проектными нормами 0.18 мкм

В. И. Мамычев, В. И. Сединин

В статье рассматривается методика проектирования интегрально-гребенчатых фильтров (ИГФ) 3 порядка для схем повышенного быстродействия, применяемых в системах цифровой обработки сигналов на базе технологии комплементарной структуры металл-оксид-полупроводник (КМОП). Рассматриваются методы оптимизации быстродействия, энергопотребления и архитектуры ИГФ. В статье используются результаты работы, полученные в САПР «Design Compiler» («Synopsys») и САПР «Simulink MATLAB» («MathWorks»).

Ключевые слова: интегратор, интерполяция, конвейеризация, умножитель, тактовый сигнал.

1. Введение

В настоящее время ИГФ находят широкое применение в различных приложениях систем связи в качестве преобразователей частоты дискретизации цифровых сигналов [1]. Популярность ИГФ в первую очередь связана с отсутствием в их составе умножителей сигнала, что даёт им преимущество перед стандартными фильтрами, использующими множество умножителей [2].

В статье рассматривается реализация ИГФ с быстродействием до 1 ГГц на технологической норме 0.18 мкм. Современные цифровые системы используют более низкоразмерные технологические нормы (90 нм, 65 нм и ниже), что упрощает разработку ИГФ высоких порядков. Выбор именно 0.18 мкм – технологии вызван двумя причинами: отсутствием каких-либо методик и моделей, позволяющих реализовать ИГФ с оговоренным быстродействием; наличием данной технологии на отечественных полупроводниковых фабриках как наиболее передовой. При этом в силу существующего компромисса между радиационной стойкостью (напрямую зависящей от технологической нормы) и быстродействием в аналого-цифровых системах потребность в высокоскоростных ИГФ на этой линейке существенна.

Основная сложность реализации ИГФ с технологической нормой 0.18 мкм в области высоких частот (более 500 МГц) заключается в ограниченном быстродействии стандартных архитектур сумматоров, делителей частоты и т.д. В частности, реализация 32-разрядного ИГФ стандартными блоками (с использованием схемы быстрого суммирования) даёт максимальную частоту работы не более 100 МГц. Решение этих сложностей приведено ниже.

2. Постановка задачи

Основной задачей данной работы является оптимизация архитектуры ИГФ для его реализации на технологической базе 0.18 мкм с тактовой частотой до 1 ГГц и выходным сигналом с областью, свободной от паразитных составляющих, более 80 дБ и с последующей практической проверкой в среде синтеза цифровых схем «Design Compiler».

3. Основная часть

Общая структурная схема ИГФ, рассматриваемого в данной статье, приведена на рис. 1 [3]. ИГФ выполняет функцию интерполяции низкочастотного цифрового сигнала. Максимальная тактовая частота на выходе ИГФ может достигать до 1 ГГц.

ИГФ состоит из N секций интеграторов (integrator section), N секций гребенчатых фильтров (comb section) и блока вставки нулей (R). N – порядок ИГФ. R также является коэффициентом интерполяции/децимации, определяющим, во сколько раз увеличивается/уменьшается исходная частота дискретизации цифрового сигнала [1].

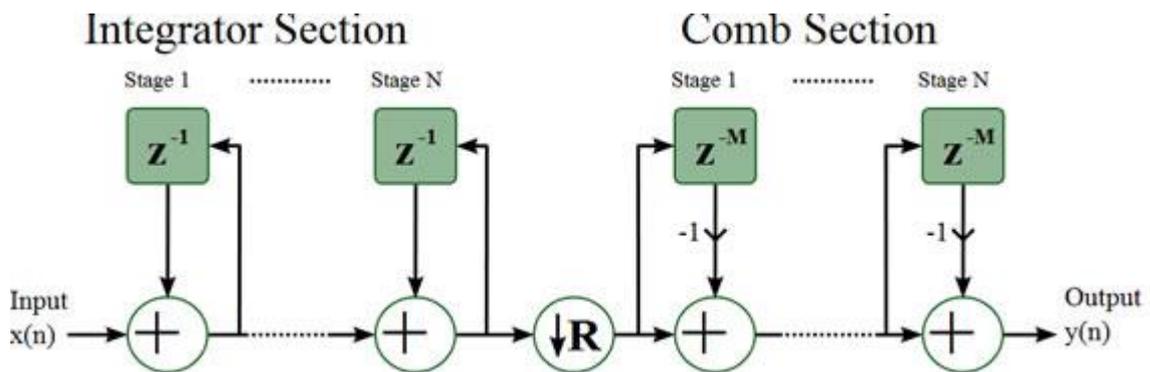


Рис. 1. Общая структурная схема ИГФ

Передаточную характеристику этого фильтра можно представить в виде [1]:

$$H(Z) = \frac{1-Z^{-N}}{1-Z^{-1}}, \quad (1)$$

где N – количество элементов задержки гребенчатого фильтра.

Поставляя $Z = \exp(j\omega)$, получим АЧХ ИГФ [4]:

$$\exp\left(-\frac{j\omega(N-1)}{2}\right) \cdot \frac{\sin\left(\frac{\omega N}{2}\right)}{\sin\left(\frac{\omega}{2}\right)}. \quad (2)$$

АЧХ фильтра при коэффициенте интерполяции $R = 8$ представлена на рис. 2 [1].

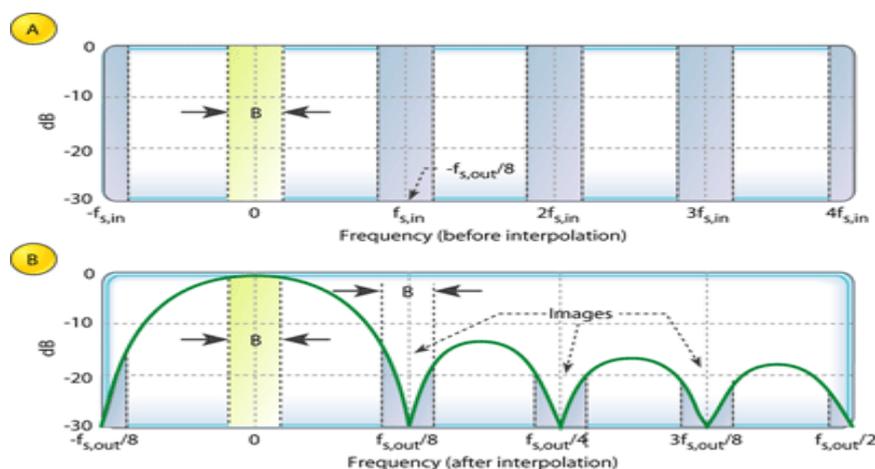


Рис. 2. АЧХ ИГФ при $R = 8$

Как видно из рисунка, наибольшее подавление АЧХ достигается в областях расположения зеркальных изображений исходного спектра. Однако для достижения необходимого SFDR (области, свободной от паразитных составляющих, в логарифмическом масштабе) может быть не достаточно АЧХ такого вида.

Для решения этой проблемы можно повысить порядок ИГФ. С увеличением порядка фильтра растет неравномерность АЧХ в области входного (полезного) спектра [5]. Для компенсации неравномерности используют инверсный ИГФ, который имеет обратную характеристику по сравнению с ИГФ.

Из результатов моделирования в системе Simulink MATLAB следует, что для достижения требуемого SFDR требуется 14-разрядный ИГФ (разрядность входного и выходного сигнала) третьего порядка. Данные параметры будут являться исходными для разработки ИГФ.

Рассмотрим реализацию интегратора, представляющего собой цифровой сумматор с обратной связью (далее аккумулятор), использующегося в ИГФ. При реализации конвейерным методом на частотах выше 1 ГГц требуется максимальная степень конвейеризации, т.к. при таких частотах время, отводимое на путь сигнала с учетом времени предустановки и удержания (рис. 3), составляет около 600 пс. Среднее время задержки одноразрядного полного сумматора (0.18 мкм) составляет около 500 пс. Из вышесказанного следует, что максимальная разрядность аккумулятора при тактовой частоте 1 ГГц равна единице.

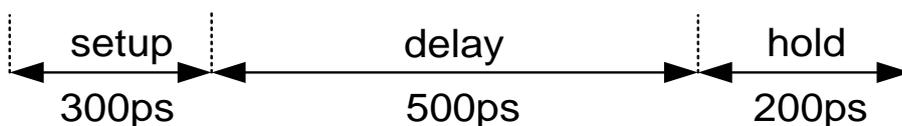


Рис. 3. Структура времени цифрового пути для частоты 1 ГГц

Зависимость динамической мощности от разрядности аккумулятора и частоты можно представить в виде [6]:

$$P = k * f * N, \tag{3}$$

где k – постоянная, определяемая технологическими параметрами;

f – частота работы аккумулятора;

N – число вентилях в модуле.

В свою очередь, N приближено можно представить как [2]:

$$N = w^2, \tag{4}$$

где w – разрядность аккумулятора.

Объединяя (1) и (2), получим:

$$P = k * f * w^2. \tag{5}$$

Данная зависимость динамической мощности схемы от разрядности и частоты аккумулятора представлена на рис. 4. Характер зависимости показывает, что при высокой разрядности аккумулятора наблюдается резкое повышение энергопотребления.

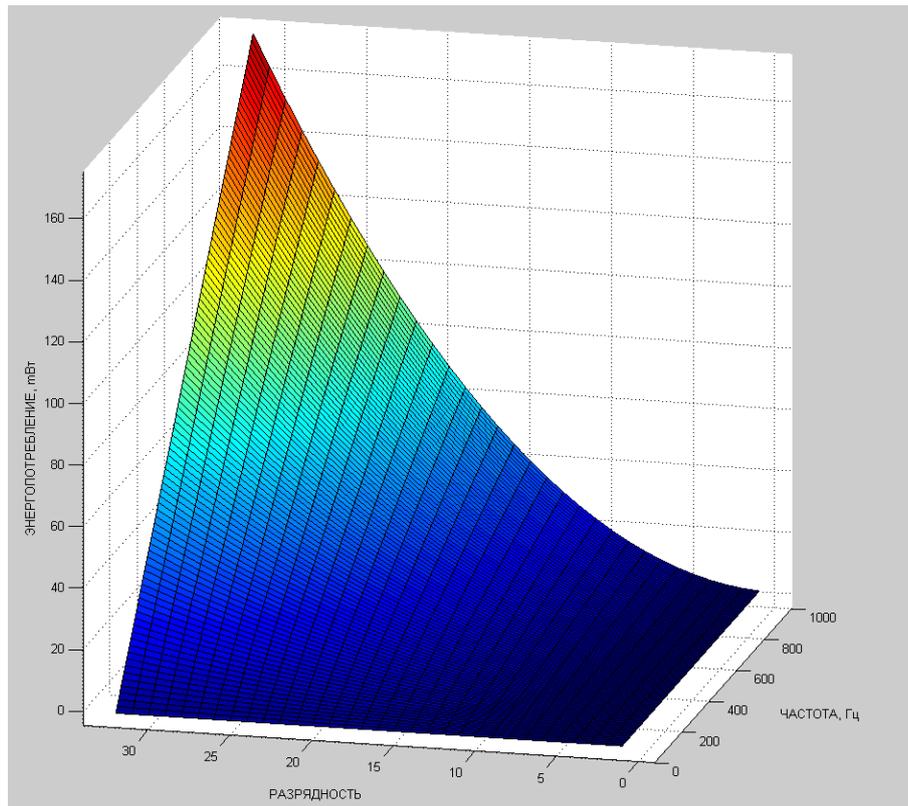


Рис. 4. Зависимость энергопотребления конвейерного аккумулятора от частоты и разрядности

Исходя из вышеназванных причин, реализация ИГФ требует оптимизации архитектуры, алгоритма синтеза и энергопотребления.

ИГФ также должен иметь возможность изменения коэффициента интерполяции от 1 до 63 за счёт программирования микросхемы через последовательный интерфейс.

Процедуру интерполяции можно оптимизировать переносом блока вставки нулей R (далее I). Исходя из линейности интеграторов и гребенчатых фильтров, можно поместить блок I перед интеграторами (рис. 5).

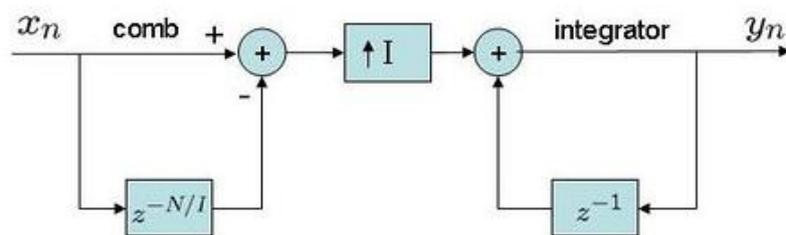


Рис. 5. Оптимизированная структура ИГФ

Для реализации блока вставки нулей используется программируемый делитель частоты. Счетчик делителя реализован на основе циклического счетчика Джонсона [4] с предварительной загрузкой. Преимущество этого счетчика в том, что при сбивании кода или отсутствии начальной инициализации происходит самовосстановление. Архитектура делителя взята из [7]. Кроме того, данная архитектура счетчика позволяет обойти проблему быстрого действия технологической базы (рис. 6). Это связано с тем, что наиболее длительный по времени путь цифрового сигнала имеет структуру «триггер-мультиплексор-триггер».

Мультиплексор выполняет функцию программирования для записи начального значения в счётчик (на рис. 6 он не приводится). С учётом временных параметров технологии (время задержки на мультиплексоре 120 пс, время предустановки триггера приёмника и задержки триггера источника – 300 пс и 80 пс соответственно) счетчик такого типа может работать на частотах до 2 ГГц.

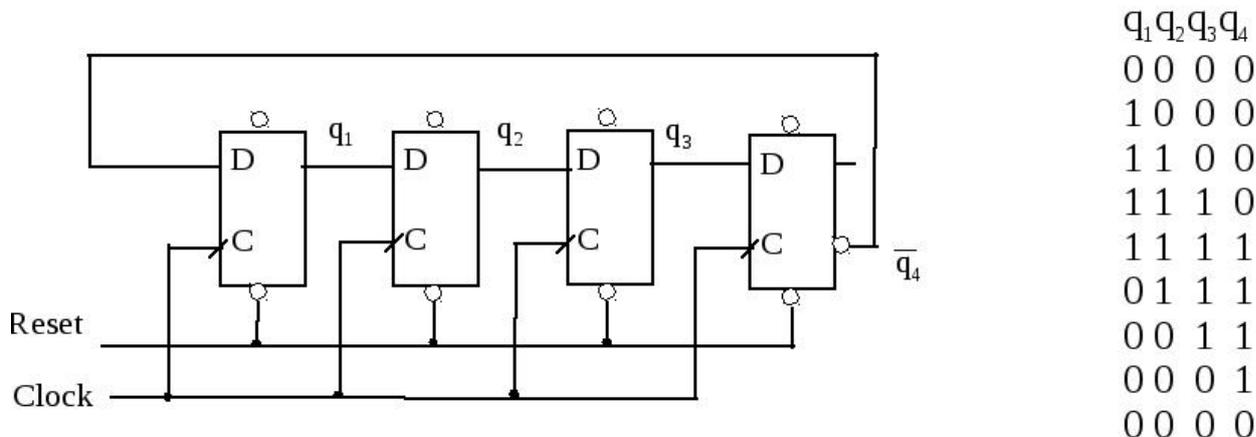


Рис. 6. Упрощенная структура делителя частоты на основе счетчика Джонсона. Приведена последовательность выходного кода

Как правило, вставка нулей в интерполирующих фильтрах происходит за счёт мультиплексора, на управляющий вход которого подан сигнал делителя частоты. Однако для интегратора ситуация, когда на его входе за несколько тактов лишь однажды ненулевое значение, и ситуация, когда вместо нескольких тактов – один со значением на входе, являются эквивалентными. В силу этого можно не использовать мультиплексор между гребенчатыми фильтрами и интеграторами (в месте вставки нулей; см. рис. 5). Для этого необходимо первый сумматор секции интеграторов тактировать пониженной частотой входного потока.

Описанная оптимизация блока вставки нулей позволяет упростить архитектуру, уменьшить площадь кристалла за счёт исключения многоразрядного мультиплексора и уменьшить мощность потребления электроэнергии за счёт понижения тактовой частоты интегратора первой секции (см. формулу (5)).

Исходный HDL-код (код, написанный на языке проектирования цифровых устройств Verilog) ИГФ получен в пакете MATLAB Simulink.

На рис. 7 представлена АЧХ ИГФ при моделировании в MATLAB.

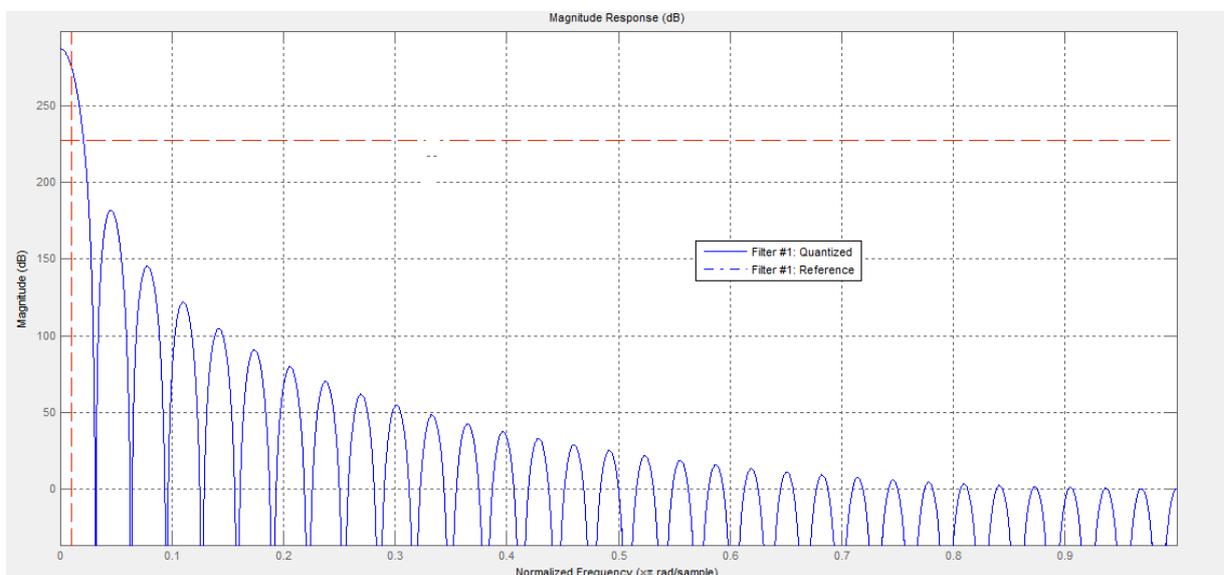


Рис. 7. АЧХ после моделирования ИГФ (R=63, N=3)

Рассмотрим методику оптимизации быстродействия интеграторов.

Наиболее оптимальным и надежным способом повышения быстродействия интегратора, состоящего из накапливающего сумматора, является его конвейерная структура (рис. 8). Однако даже при $n = 1$ быстродействие одноразрядного сумматора не даёт достаточного запаса по времени.

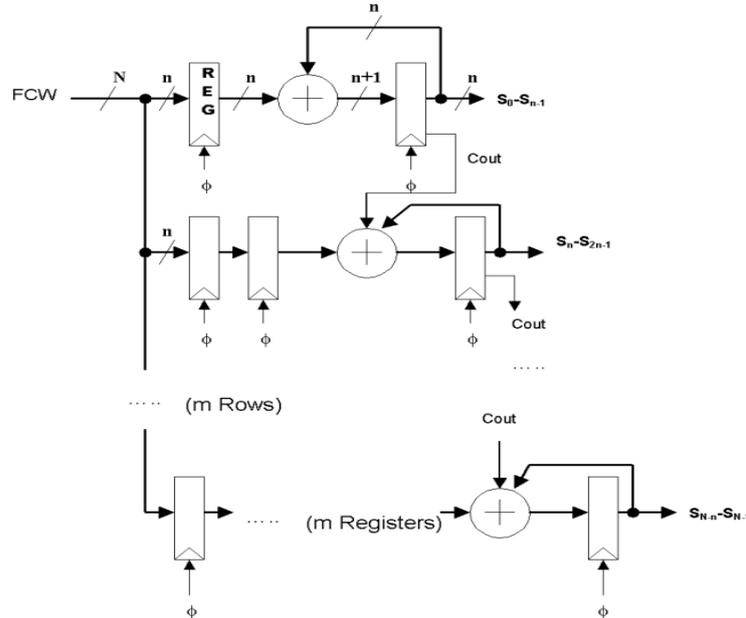


Рис. 8. Конвейерная структура аккумулятора

Для улучшения быстродействия непосредственно сумматор подвергается конвейеризации. Реализовать конвейеризацию прямым путем нельзя, т.к. дополнительная задержка $S(n-1)$ на такт приведет к неправильному результату. Т.е. сигнал обратной связи в сумматоре всегда должен приходить на выходной триггер без последовательной задержки. Для решения этой проблемы преобразуем выражение суммы одноразрядного сумматора:

$$S(n) = A \wedge S(n-1) \wedge C = A \wedge C \wedge S(n-1), \quad (6)$$

где A – входной бит текущего разряда;

$S(n-1)$ – значение суммы на предыдущем такте;

C – перенос с предыдущего разряда.

При конвейерной реализации увеличение быстродействия ведёт к увеличению потребления схемы. Если учесть, что потребление схемы пропорционально величине $F \cdot N$ (где F – частота переключений, N – число триггеров, работающих на частоте F), то для динамического потребления ИГФ имеем:

$$P \sim Fin \left(\sum_{i=1}^{Nc} Nc(i) + N0int \right) + Fout \left(\sum_{i=1}^{Nint} Nint(i) \right), \quad (7)$$

где Nc – общее число триггеров в гребенчатой секции;

$Nint$ – число триггеров в первом интеграторе;

$Nint$ – общее число триггеров всех интеграторов за вычетом первого;

Fin – частота входного потока;

$Fout$ – частота выходного интерполированного потока.

Рассмотрим процедуру оптимизации энергопотребления микросхемы.

Поскольку ИГФ обладает усилением, равным R (для случая $N = 1$), для сохранения точности выходной поток должен быть представлен более высокоразрядным словом. Однако в большинстве систем обработки сигналов стараются не изменять разрядность сигнала после обработки.

Вследствие этого на выходе последнего интегратора ставится мультиплексор, выбирающий в данном случае 14 разрядов из 32 в зависимости от R (чем выше R , тем выше эти 14 разрядов расположены). Остальные же 18 разрядов становятся незначимыми. Однако про-

должают работать, а значит потреблять энергию. Для решения этой проблемы можно использовать технику «clock gating» при синтезе схемы в Design Compiler. Для этого необходимо использовать триггеры с сигналом разрешения работы. Всего таких сигналов будет 32 (на каждый разряд по 1). Процедура разрешения работы будет аналогична процедуре мультиплексирования, т.е. разрешать работу только 14 эффективным разрядам. Описанные методы оптимизации были практически проверены в среде Design Compiler.

Ниже приведён фрагмент файла ограничений, используемый для задания тактовой частоты 1 ГГц и написанный на стандарте языка SDC [8]. Также приведена команда задания частоты для гребенчатой секции, полученной путем деления опорной частоты на коэффициент интерполяции (рис. 9).

```
create_clock -name sys_clock -source [get_ports sys_clk] -period {0.5 1}
create_generated_clock -name sys_clock_div_r -source [get_ports sys_clk] -edges {1 2 5} [ get_pins $sys_clock_div_r_source ]
```

Рис. 9. Фрагмент входного файла SDC для Design Compiler

Далее приведены результаты синтеза схемы, из которых видно, что запас минимально возможного периода работы схемы относительно времени 1 нс (1 ГГц) составляет 170 пс. Т.е. максимальная частота работы схемы равна 1.2 ГГц.

clock system_clock (rise edge)	1.00	1.00
clock network delay (ideal)	0.00	1.00
clock uncertainty	-0.30	0.70
sw_nco_inst/system_clock_r_REG1239_S4/CP (EDFCND1)	0.00	0.70 r
library setup time	-0.09	0.61
data required time		0.61

data required time		0.61
data arrival time		-0.78
slack (VIOLATED)		-0.17

Рис. 10. Краткий отчет наиболее длительного по времени пути цифрового сигнала в схеме ИГФ

4. Заключение

Главным достоинством ИГФ считается отсутствие каких-либо операций умножения. Однако при реализации высокочастотных систем этого становится недостаточно. Особенно это актуально в проектах, использующих как аналоговые, так и цифровые блоки.

В данной статье было получено несколько методов оптимизации архитектуры ИГФ, позволяющих реализовывать его на частотах до 1 ГГц для рассматриваемой технологической базы. Данный вывод подтвержден путём синтеза HDL-описаний в среде Design Compiler Synopsys (результатом синтеза является отсутствие временных нарушений [8]).

Основным недостатком полученной архитектуры ИГФ можно назвать увеличение площади кристалла относительно исходного варианта, вызванное конвейеризацией интеграторов. Однако в современной электронике быстродействию и энергопотреблению уделяется более значительное внимание, чем площади кристалла. А использование другого типа интерполятора неизбежно подразумевает наличие умножителей, что даёт увеличение ресурса площади на порядок.

После решения проблемы быстродействия, как правило, встает вопрос решения проблемы энергопотребления. Предложенный метод предполагает снижение использования техники «clock gated» исходя из архитектуры интеграторов, использующей отключение тактового сигнала в моменты времени, когда элементы схемы не выполняют каких-либо операций. В данном случае эта техника эффективна, т.к. не все разряды массивных интеграторов используются при вычислении выходного интерполированного сигнала.

Проблема быстродействия решается за счёт оптимизации архитектуры интеграторов.

Литература

1. *Ричард Лайонс*. Цифровая обработка сигналов. Перевод с английского. М: Бинوم – пресс. 2011.
2. *Kwentus, Z. Jiang, and A. Willson, Jr.* Application of filter sharpening to cascaded integrator-comb decimation filters // *IEEE Transactions on Signal Processing*, vol.45, pp.457-467, February 1997.
3. *J. F. Kaiser and R W. Hamming.* Sharpening the response of a symmetric nonrecursive filter *IEEE Transactions on Acoustics, Speech, and Signal Processing*, vol. ASSP-25, pp.415-422, October 1977.
4. *S.J. Orfanidis.* Introduction to Signal Processing. Upper Saddle River, NJ: Prentice Hall, 1996.
5. *Y. Jang and S. Yang.* Non-recursive cascaded integrator-comb decimation filters with integer multiple factors // 44th IEEE Midwest Symp. Circuits and Systems (MWSCAS), Dayton, OH.
6. *Pramod K. Meher, Javier Valls, Tso-Bing Juang, K. Sridharan, and Koushik Maharatna.* 50 Years of CORDIC: Algorithms, Architectures, and Applications. Member, IEEE.
7. *Lakshmi Sri Jyothi Chimakurthy.* Design of direct digital frequency synthesizer for wireless applications. Auburn, Alabama August 8, 2005.
8. Design Constraints User's Guide for Software v9.1. Synopsys 2005.

*Статья поступила в редакцию 23.12.2014;
переработанный вариант – 02.03.2015*

Мамычев Василий Иванович

аспирант второго курса кафедры САПР Сибирского государственного университета телекоммуникаций и информатики, тел. +79529071420, e-mail: mamychhev@nzpp.ru

Сединин Валерий Иванович

д.т.н., профессор, заведующий кафедрой систем автоматизированного проектирования Сибирского государственного университета телекоммуникаций и информатики, тел. +79139171233, e-mail: sedvi@bk.ru

High frequency cascade-integrated filters design for 0.18 μ m CMOS technology node

V. Mamychev, V. Sedinin

The article describes design technique of third order CIC-filters for improved response time systems used in DSP according to the 0.18 μ m technology. Throughout this paper the emphasis is on the optimization of CIC response speed, power consumption and architecture. The operation within CAD systems Design Compiler (Synopsys) and MATLAB for HDL-descriptions synthesis is considered.

Keywords: integrator, interpolation, pipelining, multiplier, clock.