

# Разработка электростатической защиты элементов ввода-вывода интегральных микросхем, выполненных по субмикронной высоковольтной КМОП технологии

М. С. Карпович, В. Д. Лысь

ООО «СибИС», Новосибирск

Рассмотрен базовый принцип защиты интегральных микросхем (ИМС) от воздействия электростатического разряда (ЭСР) и основные методы защиты от ЭСР площадок ввода-вывода ИМС, выполненных по субмикронным КМОП технологиям. Для использования в высоковольтной КМОП технологии ИМС представлены схемы защиты от ЭСР, созданные на основе комбинаций различных схем для аналоговых и цифровых, входных и выходных площадок, а также для площадок питания и земли. Рассмотрены варианты комплексной ЭСР защиты всего кристалла ИМС. Изложены основные принципы проектирования топологии защитных элементов в составе площадки ввода-вывода высоковольтных ИМС. Предложена эквивалентная схема двухкаскадной двунаправленной защиты для моделирования воздействия электростатического разряда. Проведено моделирование ЭСР защиты двунаправленной площадки ввода-вывода, выполненной по субмикронной высоковольтной КМОП технологии. Полученные при моделировании результаты удовлетворяют требованиям по электростатической защите до 2 кВ.

*Ключевые слова:* электростатический разряд, ЭСР, площадки ввода-вывода, латеральный биполярный транзистор.

## 1. Введение

Современные твердотельные интегральные микросхемы (ИМС), реализуемые по идеологии «система на кристалле» (СнК), представляют собой совокупность взаимосвязанных, т.н. «сложнофункциональных блоков» (СФ блоков). СФ блоки проектируются и изготавливаются на основе единой базовой субмикронной КМОП технологии изготовления чипов, в частности с проектно-технологическими нормами 0.18 мкм, реализованной на большинстве т.н. «кремниевых фабрик» в мире. Для проектирования СнК разработчикам фабрикой предоставляется необходимая технологическая библиотека (Process Design Kit, PDK). PDK включает в себя всё необходимое для полного маршрута проектирования ИМС. Это описание всех приборов, spice-модели и топологические исполнения приборов, электрические и топологические нормы проектирования, файлы проверок для контроля проектных норм и сравнение топологической реализации схемы с её схемотехническим представлением. Также PDK содержит библиотеку площадок ввода-вывода (IO) и библиотеку цифровых элементов. В ряде случаев в составе PDK могут отсутствовать те или иные библиотеки. Так, например, в состав PDK высоковольтной КМОП технологии с проектно-технологическими нормами 0.18 мкм и максимальным напряжением питания 32 В одной из зарубежных фабрик не включена библиотека площадок. В этом случае проектировщикам необходимо либо приобретать данные библиотечные элементы у сторонних фирм-разработчиков этих элементов, что ведёт

к увеличению стоимости готовой ИМС, либо проектировать собственные библиотеки площадок ввода-вывода.

Площадки ввода-вывода состоят из буфера, преобразователя уровня напряжения и управляющей схемы, образующих вместе драйвер (Driver), контактную площадку (КП), к которой от корпуса к ИМС приваривается соединительная проволока, и схем защиты от воздействия статического электричества (СЭ, в литературе применяют термин «электростатический разряд», ЭСР, ESD) на ИМС. Одной из основных задач при проектировании площадок ввода-вывода является необходимость обеспечивать защиту от губительного воздействия ЭСР всей ИМС. Также необходимо минимизировать влияние защитных элементов на работу ИМС в рабочем режиме.

Задачей данной работы является анализ современных способов защиты ИМС от ЭСР с целью разработки площадок ввода-вывода по высоковольтной субмикронной КМОП технологии с уровнем электростатической защиты 2 кВ.

## 2. ЭСР и защитные схемы

Электростатический разряд представляет собой существенную опасность для ИМС, и разработка защитных элементов от него – важная ступень проектирования элементов ввода-вывода. При воздействии ЭСР на ИМС в первую очередь повреждаются наиболее слабо защищенные компоненты, что приводит к следующим повреждениям:

- тепловому пробую р-п-перехода;
- возникновению в подзатворном окисле пустот и нитевидных образований;
- плавлению и испарению металлической разводки и контактов.

Базовый принцип защиты ИМС от воздействия ЭСР [1] представлен на рис. 1. При ЭСР на выводе ИМС срабатывает двуполярный ключ А1, и ток разряда отводится на шину питания или земли. Кроме того, часть мощности рассеивается на резисторе R1. Идеальная защита достигается, если сопротивление ключа и время его включения стремятся к нулю. В ИМС в качестве таких шунтов применяются различные элементы: диоды, транзисторы и более сложные схемы.

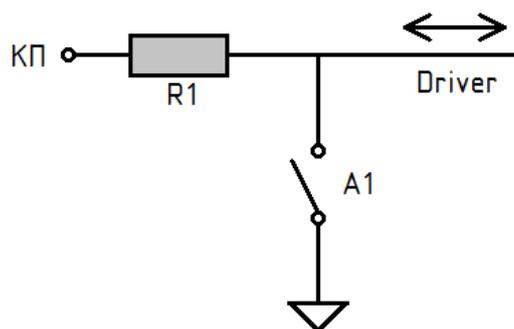


Рис. 1. Базовый принцип защиты от ЭСР ИМС

Защитные структуры должны иметь небольшую площадь, эффективно ограничивать напряжение разряда, подаваемого на схему, шунтировать напряжение и токи перегрузки, возникающие при ЭСР, ограничивать физическую область схемы на кристалле, на которую воздействует ЭСР. Также защитные структуры должны минимально влиять на рабочие характеристики ИМС, т.е. не вносить значительные дополнительные ёмкости, индуктивности.

Традиционным способом защиты от ЭСР является диодная защита (рис. 2а) [1]. При воздействии ЭСР, в зависимости от полярности, открывается один из диодов, и энергия разряда уходит на шину питания или земли. Данный способ удобен, поскольку экономит площадь, к тому же с учётом тенденции к уменьшению размеров кармана n+- и p+-областей, роста

уровня легирования кармана, диодная защита становится всё более быстродействующей и низкоомной. Недостатком такой схемы является то, что диоды в КМОП технологии представляют собой включённые соответствующим образом биполярные транзисторы, что при последовательном включении даёт уменьшение тока и встроенного потенциала на каждом диоде, а также нелинейность температурных характеристик в зависимости от числа диодов.

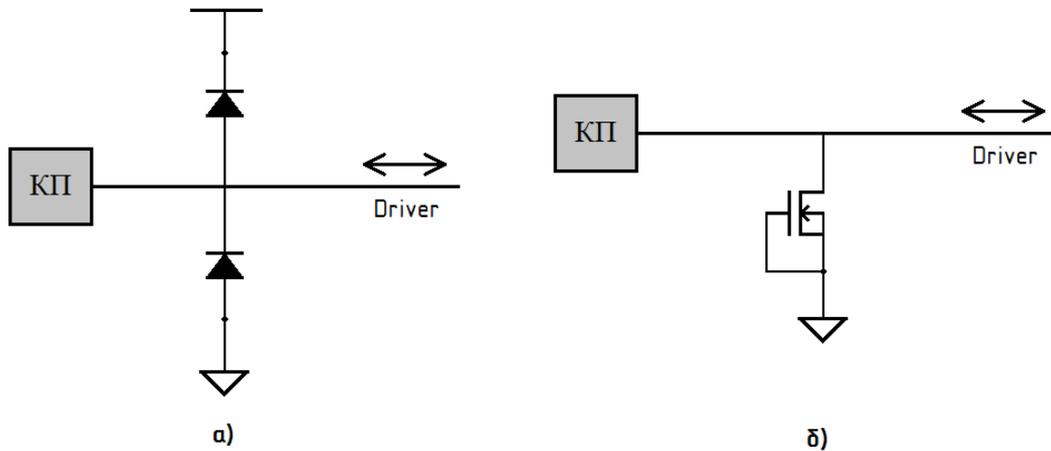


Рис. 2. Схемы защиты от ЭСР: а) на диодах; б) на n-канальном КМОП-транзисторе

Другой способ защиты от ЭСР основан на n-канальном транзисторе с заземлённым затвором [2] (рис. 2б). В его основе лежит отвод тока ЭСР с помощью латерального транзистора (рис. 3а). Повышение напряжения на стоке защитного МОП-транзистора приводит к пробоему перехода сток-подложка вследствие ударной ионизации. Ударная ионизация приводит к лавинной генерации дырок и обеспечивает рост локального дырочного тока в подложке МОП-транзистора. Тем самым обеспечивается ток базы, необходимый для включения латерального биполярного pnp-транзистора (сток-коллектор, канал-база, исток-эмиттер).

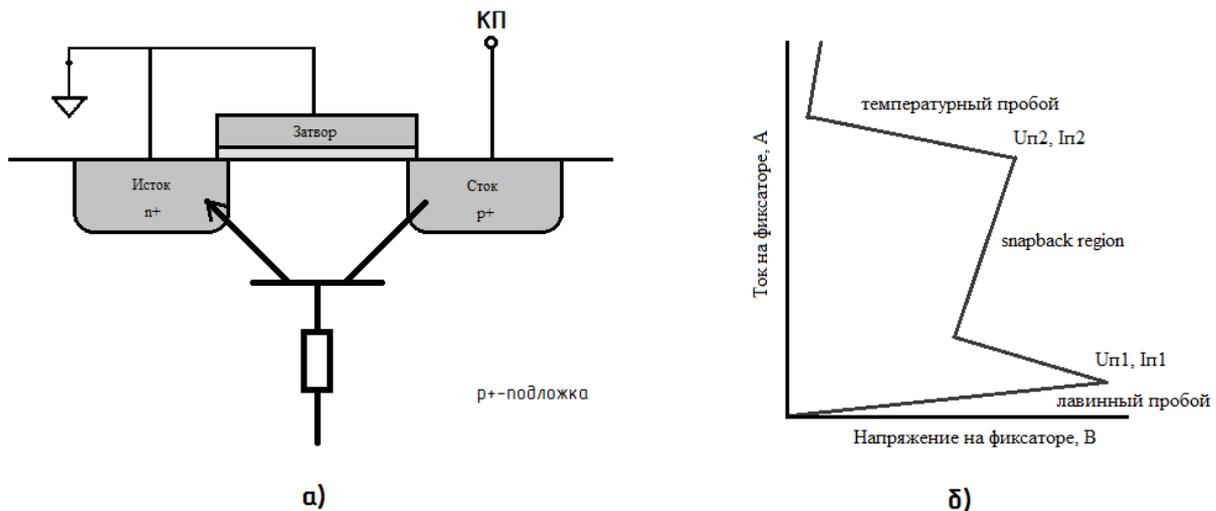


Рис. 3. Структура защитного МОП-транзистора и латерального биполярного транзистора (а) и его ВАХ в режиме больших токов (б)

Участок вольт-амперной характеристики (ВАХ) с отрицательным дифференциальным сопротивлением неустойчив (рис. 3б), защитный транзистор защелкивается и сразу же начинает работать в низкоомной области (snapback region). Напряжение на стоке составляет не-

сколько вольт, большая часть напряжения падает на переходе база-коллектор, обеспечивая лавинную генерацию носителей. Почти вся мощность выделяется на этом переходе, транзистор начинает проводить большую часть тока стока, не допуская его в защищаемое устройство. Увеличение тока в канале МОП-транзистора приводит к прямому смещению перехода эмиттер-база и выключению латерального биполярного транзистора.

ВАХ защитного транзистора имеет два участка пробоя: первый ( $U_{п1}, I_{п1}$ ) – описанный выше лавинный пробой, второй ( $U_{п2}, I_{п2}$ ) – необратимый температурный пробой. Значение  $I_{п2}$  зависит от коэффициента  $\beta$  латерального pnp-транзистора, длины канала МОП-транзистора, глубины залегания pn-перехода. В низкоомной области величина тока пропорциональна ширине канала транзистора, ток распределяется равномерно. При наступлении температурного пробоя ток концентрируется в определённых местах и распределен неравномерно. Поэтому чтобы после первого пробоя защитный транзистор работал в snarback-области, а не в области теплового пробоя,  $U_{п2}$  должно быть больше  $U_{п1}$ . Достигается это несколькими способами:

- увеличением напряжения затвор-исток  $U_{зи}$  во время электростатического разряда, что приводит к снижению  $U_{п1}$ . Но при этом нельзя увеличивать  $U_{зи}$  слишком сильно, это может привести к ухудшению пробойных характеристик;

- уменьшением длины канала, что приведёт к увеличению  $\beta$  и к снижению  $U_{п1}$ ;

- увеличением напряжения на подложке, чтобы снизить  $U_{п1}$ .

### 3. Проектирование схем защиты от ЭСР площадок ввода-вывода

Наиболее распространенная структурная схема современных площадок ввода-вывода [2, 3], выполненных по субмикронным КМОП технологиям, представлена на рис. 4. Современные схемы защит от ЭСР площадок ввода-вывода используют один и более каскадов защиты в зависимости от необходимой степени защиты площадки и её функционального предназначения. Так, для обеспечения необходимого уровня защиты выходной буферной площадки достаточно однокаскадной защиты (рис. 4а). Для входных или двунаправленных площадок наиболее распространены схемы защиты, состоящие из двух каскадов – основного и вспомогательного (рис. 4б).

В качестве ЭСР защиты в однокаскадной выходной площадке возможно использовать диодную защиту, однако для снижения вносимой задержки в нормальную работу ИМС распространена схема защиты, состоящая из одного диода D1 и защитного n-канального полевого транзистора T1 (рис. 5а). Транзистору необходима довольно большая ширина канала для выполнения условия  $U_{п2} > U_{п1}$ , из-за чего увеличивается ёмкость затвор-сток. В паре с резистором R1 эта ёмкость образует фильтр высоких частот.

В первый момент времени при положительном электростатическом потенциале этой ёмкости достаточно, чтобы с помощью резистора немного повысить напряжение на затворе, – в результате канал полевого транзистора открывается, ток разряда стекает на шину земли. Для улучшения фильтра иногда в схему включают дополнительную ёмкость. В последующий момент времени включается латеральный pnp-транзистор, принцип работы которого был рассмотрен ранее. Также для отвода оставшегося тока разряда в схему включается диод D1, который отводит оставшийся ток разряда на шину питания. При отрицательном электростатическом потенциале включается диод между подложкой (p-область) и стоком (n-область) защитного n-канального транзистора T1. Поскольку область стока транзистора достаточно велика – сопротивление диода минимально, он отводит ток разряда.

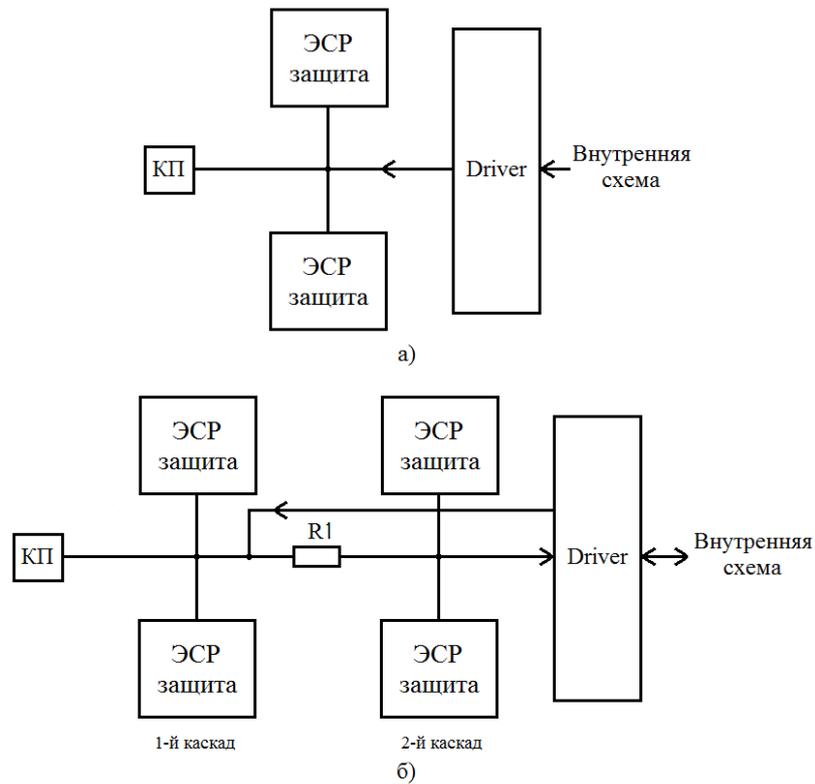


Рис. 4. Структурная схема площадок ввода-вывода с однокаскадной защитой от ЭСР (а) и с двухкаскадной защитой от ЭСР (б)

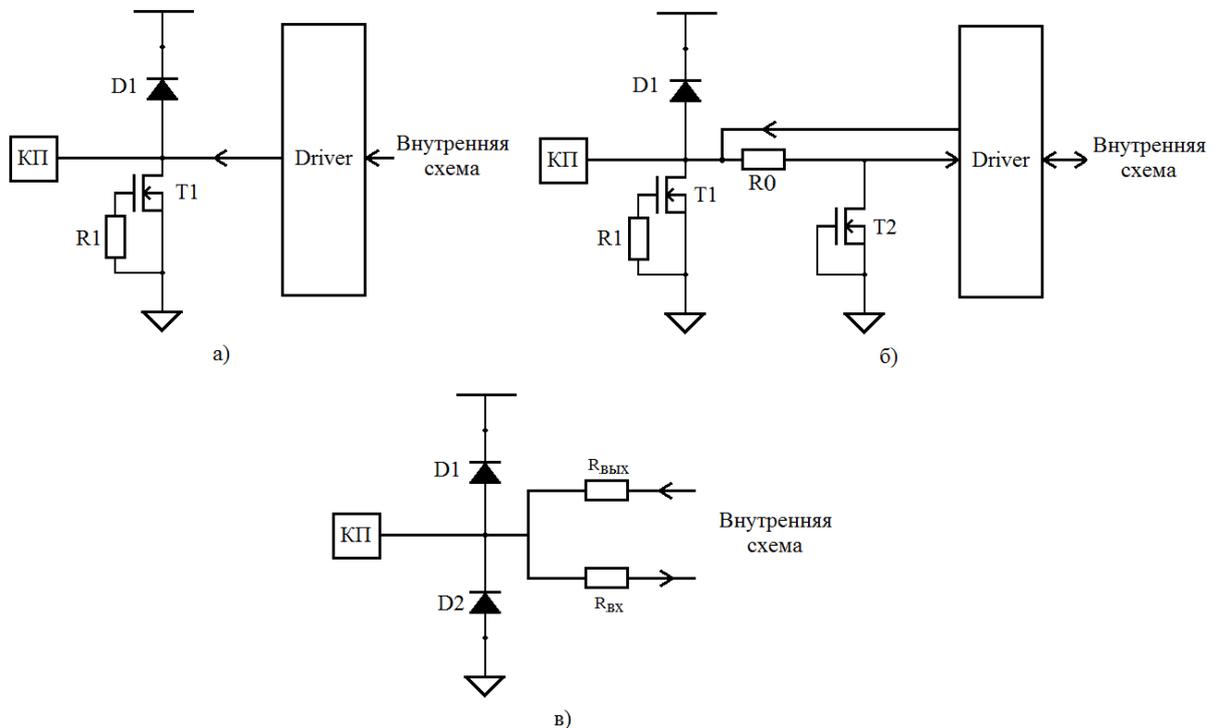


Рис. 5. Примеры схем защиты от ЭСР: однокаскадная выходная (а), двухкаскадная двунаправленная (б) и аналоговая (в)

Для входных или двунаправленных площадок требования к защите ЭСР повышены: для их защиты распространены двухкаскадные схемы, состоящие из основного и вспомогательного каскада, а также изолирующего резистора между ними. Вспомогательный каскад необходим для первоначального отвода тока до включения основного. На рис. 5б представлена

комбинированная схема двухкаскадная схема защиты двунаправленной площадки. В качестве основного каскада используется такая же схема, как и в выходной площадке, а в качестве вспомогательного – еще один защитный n-канальный полевой транзистор T2 с заземлённым затвором. Ширина транзистора T2 может быть подобрана в десять раз меньше, чем у T1, и работает он только в режиме латерального биполярного транзистора. Вспомогательный каскад не может проводить большой ток, поэтому он ограничивается резистором R. Однако он срабатывает раньше основного и увеличивает потенциал подложки, что помогает включить основной каскад, через который начинает отводиться основной ток разряда.

Описанные выше способы в основном используются в цифровых площадках. Для аналоговых площадок в основном используется диодная защита. Пример схемы защиты аналоговой площадки показан на рис. 5в.

Данные схемы ЭСР защиты применимы и в высоковольтной КМОП технологии с напряжением питания 32 В.

#### 4. Проектирование комплексной схемы защиты ИМС от ЭСР

Комплексная схема защиты ИМС от ЭСР основана на отводе тока разряда от пробиваемой КП на шину земли или питания, а от них – на другую КП. Структурная схема комплексной защиты от ЭСР кристалла с двумя парами питания [3, 4] – аналоговой и цифровой – представлена на рис. 6.

Помимо информационных площадок ввода-вывода, каждая площадка питания и земли имеет ЭСР защиту, которая отводит ток разряда на шину земли своей пары. Земли различных доменов соединены между собой встречно параллельными диодами DG1 и DG2, которые выравнивают потенциалы между ними и не дают шуму одной земли проникать в другую.

Таким образом обеспечивается электростатическая защита кристалла целиком. В качестве схем ЭСР защиты возможно использовать вышеописанные способы защиты.

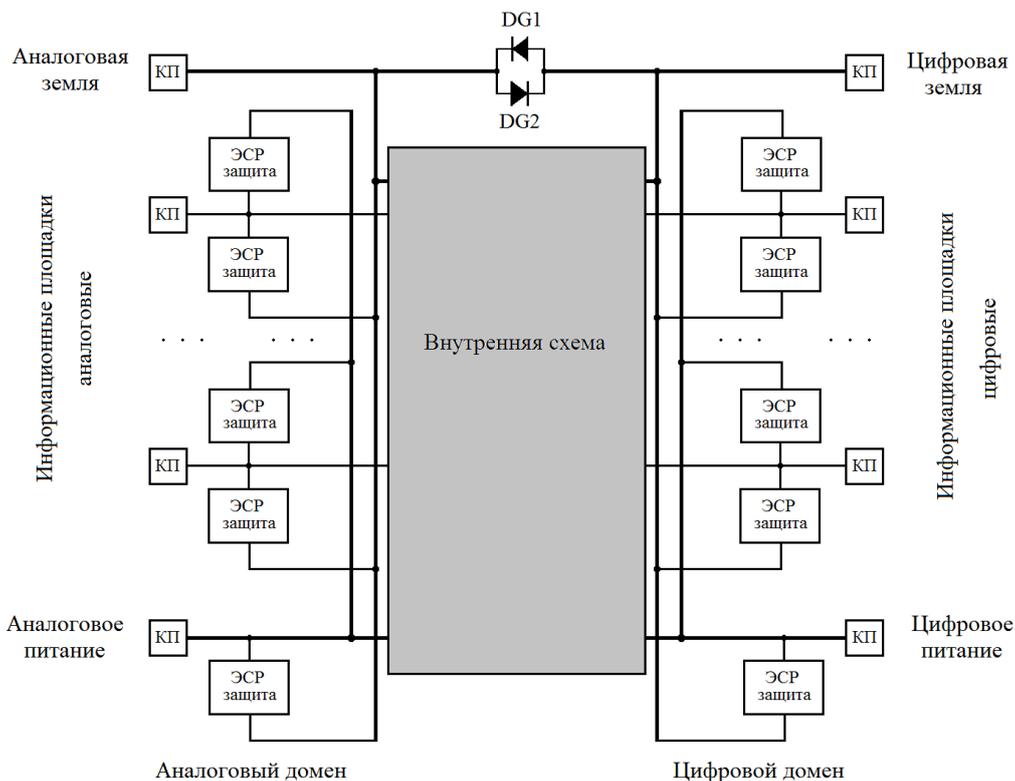


Рис. 6. Структурная схема комплексной защиты от ЭСР кристалла с двумя парами питания

## 5. Топологическое исполнение площадок ввода-вывода

Для проектирования площадок ввода-вывода действуют специальные правила проектирования. В общем случае площадка топологически разделяется на три области [4]:

- PAD – структура, содержащая набор металлов со вскрытием пассивации для приварки проволочных выводов;
- ESD – область, содержащая элементы ЭСР защиты;
- Driver – область, содержащая буфер, преобразователь уровня напряжения и управляющую схему.

При проектировании защитного n-канального транзистора необходимо создать условия для работы латерального биполярного pnp-транзистора. Топология защитного транзистора представлена на рис. 7. Транзистор имеет т.н. «фингерную» структуру [5]. Отличительной особенностью такого транзистора является широкий исток. Контакты располагают в середине области истока. Такая структура обеспечивает равномерное распределение электростатического тока разряда в области истока транзистора. При проектировании топологии защитных диодов используется также фингерная структура.

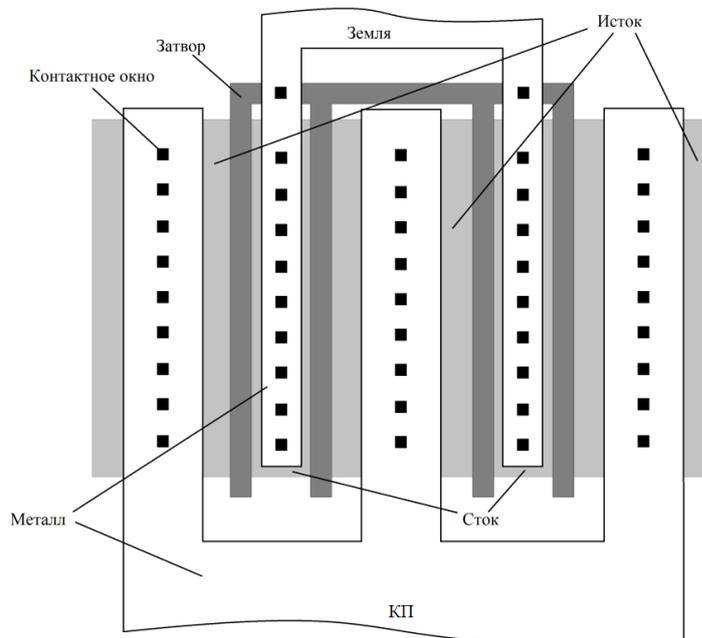


Рис. 7. Пример топологического рисунка защитного n-канального полевого транзистора в схеме ЭСР защиты

## 6. Моделирование ЭСР защиты

При моделировании воздействия ЭСР на ИМС и определении реальных порогов устойчивости возможно использование различных моделей воздействия СЭ. Самые распространенные [3] из них:

- модель тела человека (Human Body Model);
- машинная модель (Machine Model);
- модель с заряженным прибором (Charged Device Model).

Эквивалентная схема для моделирования тела человека представлена на рис. 8, где  $C_1=100$  пФ – ёмкость тела человека и  $R_2=1500$  Ом – сопротивление кожи. В схеме приняты типовые значения напряжения пробоя  $U_{ЭСР}=2$  кВ, ёмкости  $C_s=1$  пФ, индуктивности

$L_s=7.5$  мкГн и ёмкости тестовой платы  $C_t=10$  пФ. В данном случае длительность экспоненциально затухающего участка равна  $\tau = R_2 \times C_1 = 150$  нс.

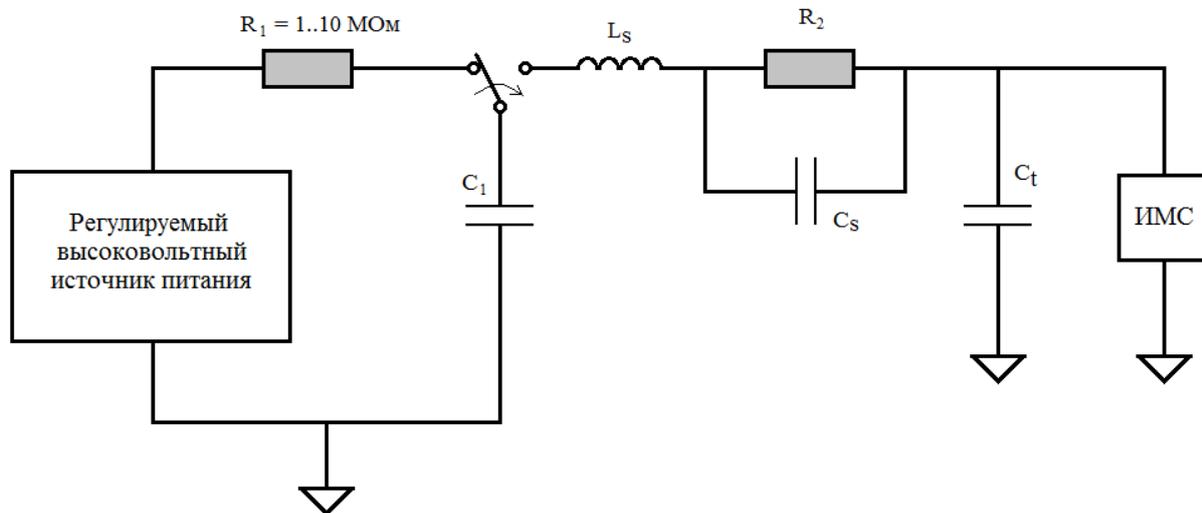


Рис. 8. Эквивалентная схема для модели тела человека и машинной модели

Машинная модель учитывает накопление ЭСР на металлических поверхностях. При её построении используют электрическую схему модели тела человека с  $R_2=0$  или  $R_2=5$  Ом и увеличенной ёмкостью  $C_1=200$  пФ, то есть прямой разряд на выводы ИМС. Потенциал опасного напряжения при этом составляет 1/5 и 1/20 от напряжения, при котором не происходит нарушений для испытаний по модели тела человека.

Модель с заряженным прибором используется для описания ЭСР, наблюдаемого при работе автоматизированного оборудования в производстве, хранении и транспортировке. Эта модель предполагает, что ИМС заряжается непосредственно трибоэлектричеством либо внешним электрическим полем. Далее каждый вывод прибора разряжается до нулевого потенциала. Разряд будет мгновенным из-за почти нулевого сопротивления прибора (1 Ом) и малой индуктивности (1 нГн). Ёмкость ИМС зависит от вида корпуса: 1 пФ для маленьких корпусов и 20 пФ – для больших. Время нарастания импульса может достигать 200 пс, а его длительность – 2 нс.

При моделировании схем защиты от электростатического разряда необходимо использовать эквивалентные схемы. На рис. 9 представлены эквиваленты схем для моделирования двухкаскадной двунаправленной защиты (рис. 5б) при положительном и отрицательном электростатическом потенциале. Также для более точного моделирования в схему необходимо включать защитные ЭСР схемы между питанием и землёй.

Эквивалентная схема защиты от положительного электростатического потенциала (рис. 9а) включает в себя ёмкость затвор-исток  $C_{зи}$ , необходимую для открытия канал защитного транзистора Т1. В схеме появляются латеральные биполярные транзисторы Тл1 и Тл2 основного и вспомогательного каскада защиты с сопротивлениями их баз  $R_{б1}$  и  $R_{б2}$  соответственно. Диоды Ди1 и Ди2 необходимы для моделирования лавинного пробоя. Параметры диодов и биполярных транзисторов определяются исходя из размеров заложенных защитных полевых транзисторов Т1 и Т2. В эквивалентной схеме защиты от отрицательного электростатического потенциала (рис. 9б) присутствуют только диоды, причем диоды DT1 и DT2 образованы на переходе исток-подложка защитных полевых транзисторов основного и вспомогательного каскадов.

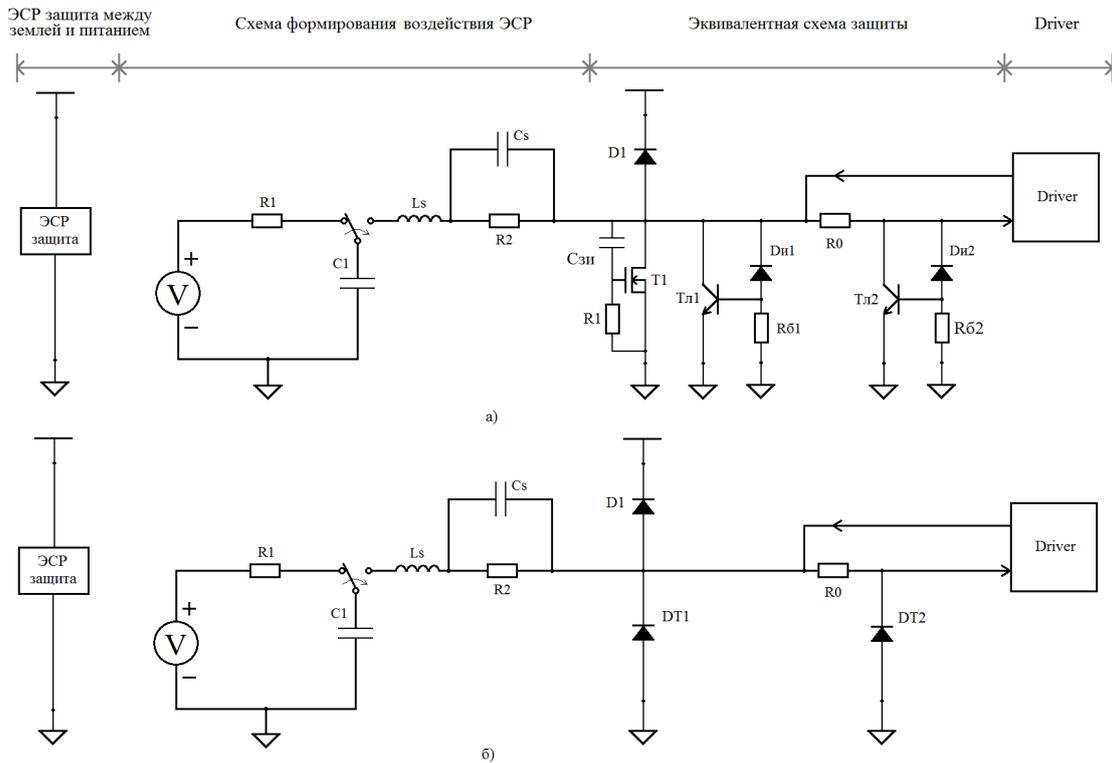


Рис. 9. Эквивалентные схемы для моделирования двухкаскадной двунаправленной защиты при положительном (а) и отрицательном (б) электростатическом потенциале

Моделирование данных схем должно показывать напряжения на выводах драйвера, не превышающие максимально допустимых по электрофизическим нормам высоковольтной технологии. Например, для входных транзисторов в драйвере, работающих при напряжении питания 1.8 В, пробивное напряжение на затворе не должно превышать 3 В, следовательно,  $U_{Driver} < 3$  В. На рис. 10 представлены результаты моделирования эквивалентных схем двухкаскадной двунаправленной защиты при положительном и отрицательном электростатическом потенциале по модели человека.

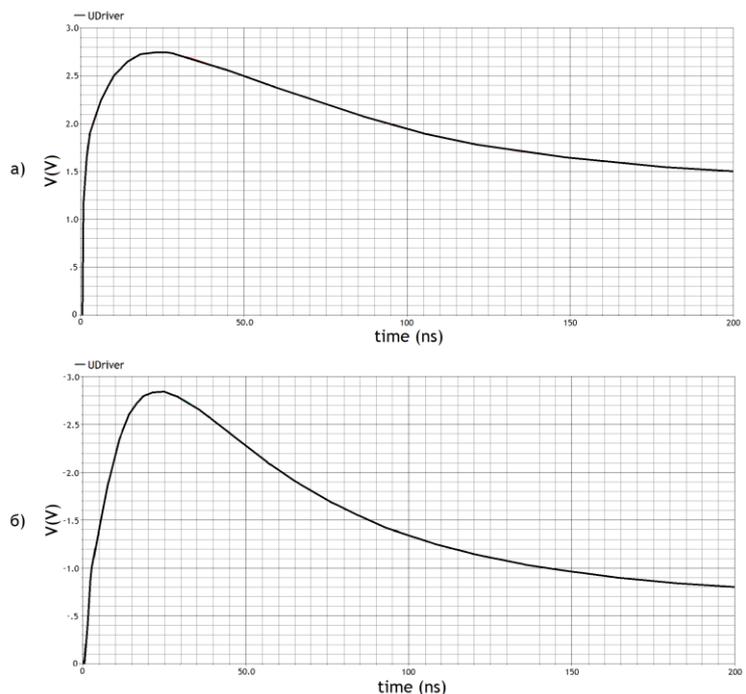


Рис. 10. Напряжение на входе драйвера при положительном (а) и отрицательном (б) электростатическом потенциале по модели тела человека ( $U_{ЭСР}=2000$  В)

Результаты моделирования показывают, что напряжение на входе драйвера не превышает максимально допустимое значение напряжения на затворе низковольтного транзистора, следовательно, защитные элементы обеспечивают необходимый уровень ЭСР защиты ИМС выполненной по высоковольтной КМОП технологии.

## 7. Заключение

По результатам изучения основных методов защиты от электростатического разряда площадок ввода-вывода субмикронных ИМС предложены схемы защиты от ЭСР для высоковольтных субмикронных ИМС. Схемы основываются на диодной и транзисторной защите, а также их комбинации. Данные схемы могут быть как однокаскадные, так и двухкаскадные, и использоваться для защиты аналоговых и цифровых площадок ввода-вывода. Схемы защиты присутствуют в площадках питания и земли с различными уровнями напряжения по питанию. Приведённая в статье структурная схема иллюстрирует работу комплексной ЭСР защиты кристалла ИМС, взаимодействие аналоговых и цифровых доменов между собой, устройство ЭСР защиты между землёй и питанием.

Приведённые в статье схемы защиты от электростатического разряда обеспечивают защиту ИМС, выполненных по субмикронной высоковольтной КМОП технологии. Полученные результаты моделирования удовлетворяют требованиям по электростатической защите до 2 кВ. В продолжение данной работы планируется проведение экспериментальной проверки полученных результатов.

## Литература

1. Волков С., Ефишин А., Морозов С., Соколов С. Проблема электростатического разряда и современные методы защиты интегральных схем от него. Часть 1. // CHIPINFO. URL: <http://www.chipinfo.ru/literature/chipnews/200307/8.html> (дата обращения: 19.10.2014).
2. Ajith Amerasekera, Charvaka Duvvury ESD in Silicon Integrated Circuits, 2nd Edition // John Wiley & Sons, 2002, 421 p.
3. Строгонов А., Горлов М. Воздействие электростатических разрядов на интегральные схемы // Компоненты и технологии, 2008, №3, с. 188-192.
4. Строгонов А., Козьяков Н. Проектирование КМОП ИС с защитой от ЭСР в САПР TannerPro // Компоненты и технологии, 2008, №2, с. 126-130.
5. Карпович М.С., Лебедев Ю.П. Особенности проектирования топологии дифференциальных пар и токовых зеркал базовых сложно функциональных блоков субмикронных интегральных микросхем типа «система-на-кристалле» // Вестник СибГУТИ, 2012, №3, с.40-49.

*Настоящее исследование проведено при финансовой поддержке Минобрнауки России, в рамках прикладного научного исследования и экспериментальной разработки с уникальным идентификатором RFMEFI57914X0089.*

*Статья поступила в редакцию 25.03.2015;  
переработанный вариант — 29.04.2015*

**Карпович Максим Сергеевич**

инженер-конструктор ООО «СибИС» (630049, Новосибирск, ул. Красный проспект, 220, корп. 2, офис 300), тел. (383) 2-277-639, e-mail: karpovich@sib-is.ru.

**Лысь Василий Дмитриевич**

руководитель группы ООО «СибИС» (630049, Новосибирск, ул. Красный проспект, 220, корп. 2, офис 300), тел. (383) 2-277-639, e-mail: lys@sib-is.ru.

**Electrostatic discharge protection of input/output pads of sub-micron high-voltage CMOS integrated circuits**

M.S. Karpovich, V.D. Lys  
SibIS LLC, Novosibirsk

Approaches to protect sub-micron high-voltage (HV) CMOS integrated circuits (IC) and their input-output IC pads (I/O pads) against electrostatic discharge (ESD) are analyzed. Basic design principles for HV CMOS I/O pad layout are proposed. A simulation of ESD protection effects for HV CMOS I/O pads is performed. The results obtained in the simulation meet 2 kV requirements for ESD protection of HV CMOS IC devices.

*Keywords:* integrated circuit, electrostatic discharge, ESD, lateral bipolar transistor.