

Проектирование сложнофункциональных блоков смешанного сигнала на основе субмикронной технологии на примере микросхемы видеodeкодера. Часть 1. Конструкция и топология микросхемы

П.С. Хабаров, Д.Л. Шлемин, В.Д. Лысь, Ю.П. Лебедев,
В.Ю. Васильев, Ю.Н. Попов

Спроектирован и изготовлен в виде отдельной кремниевой твёрдотельной интегральной микросхемы сложнофункциональный блок мультистандартного PAL/NTSC видеodeкодера класса «микросхема смешанного сигнала», включающий блок цифрового модулятора и трёхканальный 10-разрядный цифро-аналоговый преобразователь с рабочей частотой 27 МГц. Микросхема, предназначенная для цифрового телевидения и мультимедийных приложений, разработана на основе КМОП технологии с проектно-технологическими нормами 0.18 мкм, включающей опции аналогового проектирования с использованием конденсаторных структур «металл – изолятор – металл». В первой части работы представлены результаты проектирования конструкции и топологии сложнофункционального блока видеodeкодера.

Ключевые слова: сложнофункциональный блок, PAL/NTSC видеodeкодер, цифро-аналоговый преобразователь, модулятор.

1. Введение

Современные твердотельные интегральные микросхемы, реализуемые по идеологии «система на кристалле» (СнК), представляют собой совокупность взаимосвязанных т.н. «сложнофункциональных блоков» (СФ-блоков), каждый из которых выполняет определённую функцию целого устройства. При этом все СФ-блоки СнК проектируются и изготавливаются на основе единой базовой технологии изготовления чипов. В настоящее время наиболее распространённой в производстве интегральных микросхем и оптимальной с точки зрения «качество/цена» является субмикронная технология КМОП, в частности, с проектно-технологическими нормами 0.18 мкм, реализованная на большинстве т.н. «кремниевых фабрик» в мире. Одними из наиболее сложных для проектирования являются СФ-блоки цифро-аналоговых и аналого-цифровых преобразователей (ЦАП и АЦП, соответственно). Их разработка, в отличие от цифровых блоков микросхем, является технически значительно более сложной, в особенности при имеющем место непрерывном уменьшении проектно-технологических норм интегральных микросхем [1 – 3]. Основными сложностями являются следующие:

- технологическая зависимость аналоговых элементов, что диктует необходимость индивидуального подхода к аналоговой микросхемотехнике для каждого технологического маршрута изготовления микросхем и, соответственно, для каждой фабрики-производителя чипов;

- необходимость учёта влияния статистических разбросов технологических параметров на характеристики микросхемы;
- влияние паразитных эффектов топологической реализации;
- необходимость учёта влияния функционирования цифровой части микросхемы на её аналоговую часть.

Очевидно, что для изготовления СнК с использованием базовой субмикронной технологии необходимо понимание проблем и особенностей проектирования и изготовления аналоговых СФ-блоков. Целью настоящей работы являлось приобретение практического опыта проектирования аналоговых СФ-блоков для микросхем типа СнК базовой КМОП технологии с проектно-технологическими нормами 0.18 мкм. Проектирование проведено на примере мультистандартного PAL/NTSC видеodeкодера класса «микросхема смешанного сигнала» («mixed signal»), включающего блок цифрового модулятора и трёхканальный 10-разрядный ЦАП с рабочей частотой 27 МГц. Для верификации разработки «на кремнии» СФ-блок был изготовлен в виде отдельной корпусированной интегральной микросхемы, позволившей провести обследование характеристик и опробование разработанного чипа видеodeкодера в реальном макете законченного устройства.

Выбор для проектирования СФ-блока видеodeкодера обусловлен актуальностью и своевременностью проектирования интегральных микросхем типа СнК для цифрового телевидения, а также мультимедийных приложений. Тенденция перехода от аналогового телевидения к цифровому дала гигантский импульс роста мировой электронной отрасли. В России до 2015 года планируется завершить полный переход к цифровому телевидению [4]. Замена огромного числа аналоговых телеприёмников в короткий период времени представляет большую проблему для населения. Однако острой необходимости в немедленной замене имеющейся в распоряжении телеаппаратуры на цифровую нет. Сбалансированным промежуточным решением проблемы, дающим возможность осуществления постепенной замены аппаратуры, являются так называемые «ресиверы цифрового телевидения» (т.н. «set-top-box» или «set-top-unit»). Такие дополнительные устройства подключаются к обычным аналоговым телеприёмникам и конвертируют цифровой сигнал в стандартный аналоговый сигнал типа CVBS или S-Video.

Ресивер цифрового сигнала состоит из нескольких основных блоков: приёмника, демодулятора, демультимплексора, модуля условного доступа, декодера MPEG, видео ЦАП и аудио ЦАП. При этом качество получаемой телевизионной картинки определяется качеством аналогового видеodeкодера. В этой связи одной из наиболее сложных задач, при решении которой предполагалось приобретение необходимого опыта и создание алгоритма проектирования аналоговых блоков СнК, представлялось проектирование СФ-блока мультистандартного видеodeкодера с выходными цифро-аналоговыми блоками.

В первой части работы представлены результаты проектирования мультистандартного PAL/NTSC СФ-блока видео ЦАП. Разработка СФ-блока проводилась на основе базовой КМОП технологии 0.18 мкм, опционно предполагающей возможность изготовления конденсаторных структур типа МИМ («металл-изолятор-металл»), необходимых для реализации аналоговых блоков микросхем.

Во второй части статьи будут рассмотрены результаты верификации проведённой разработки «на кремнии» с характеристикой конструкции чипа и анализом его параметров.

2. Теоретическая часть

Видеodeкодер принимает цифровой видеопоток и выводит аналоговое видео стандартного разрешения. Стандартный интерфейс для цифровых видеосигналов с разрешением 525 или 625 линий описан в рекомендациях ITU-R BT.656 [5]. Данные закодированы 8-разрядными словами, которые несут информацию о видеосигнале, временных метках и необходимую дополнительную информацию. Слова, состоящие из всех единиц или нулей, зарезервированы для служебных целей. Таким образом, только 254 возможных 8-разрядных слова могут использоваться для передачи именно видеoinформации. Пропускная способность шины

составляет 27 млн слов в секунду. Видеоданные мультиплексированы в следующем порядке: Сб, Y, Cr, Y, Сб, Y, Cr, и т.д., где Y – яркостное, а Cr, Сб – цветоразностные сигналы.

Также существует два временных реперных сигнала, встроенных во входной поток данных. Это сигналы начала (SAV, start of active video) и конца активного видео (EAV, end of active video), соответственно. Каждый временной сигнал кодируется комбинацией 4-х слов в следующем формате: FF_{hex} 00_{hex} 00_{hex} XY, где структура слова XY приведена в табл.1.

Таблица 1. Структура байта временных флагов

Номер бита	Имя флага	Величина
7 (на наиболее значащих разрядах)	-	1
6	F	0 во время поля 1 1 во время поля 2
5	V	1 во время гашения луча 0 в любое другое время
4	H	0 для SAV 1 для EAV
3	P3	Биты избыточности
2	P2	
1	P1	
0	P0	

Во время интервалов гашения поток данных заполнен последовательностью байт: 80_{hex}, 10_{hex}, 80_{hex}, 10_{hex}, и т.д.

Выход видео ЦАП совместим со стандартами цветности PAL/NTSC [6,7] (PAL – Phase Alternation Line, NTSC – National Television System Committee). Полоса пропускания аналогового видеосигнала составляет и 4.2, 5.0, 5.5 или 6.0 МГц для PAL и 4.2 МГц для NTSC в зависимости от разновидности стандарта. В стандарте NTSC яркостный сигнал (Y) является суммой гамма-корректированных цветовых компонентов (1) (здесь и далее в качестве теоретической основы использованы материалы, опубликованные в [7]):

$$Y = 0.299 \times R + 0.587 \times G + 0.114 \times B, \quad (1)$$

где R – красный, G – зеленый и B – синий сигналы.

Цветовая информация модулирована с несущей частотой 3.58 МГц, поэтому демодулятор в приёмнике должен разделить оттенок, насыщенность, яркость и сконвертировать их обратно в сигнал RGB. Схема модуляции сигнала описывается набором следующих уравнений (2) – (10):

$$R - Y = 0.701 \times R - 0.587 \times G - 0.114 \times B, \quad (2)$$

$$B - Y = -0.299 \times R - 0.587 \times G + 0.886 \times B, \quad (3)$$

$$U = 0.492 \times (B - Y), \quad (4)$$

$$V = 0.877 \times (R - Y), \quad (5)$$

$$I = 0.596 \times R - 0.275 \times G - 0.321 \times B = 0.736 \times (R - Y) + 0.268 \times (B - Y), \quad (6)$$

$$Q = 0.212 \times R - 0.523 \times G + 0.311 \times B = 0.478 \times (R - Y) + 0.413 \times (B - Y), \quad (7)$$

$$C = Q \times \sin(\omega t + 33^\circ) + I \times \cos(\omega t + 33^\circ), \quad (8)$$

где:

$$\omega = 2\pi F_{sc} \quad (9)$$

$$F_{sc} = 3.579594 \pm 10 \text{ МГц}, \quad (10)$$

или, используя U,V вместо I,Q:

$$C = U \times \sin(\omega t) + V \times \cos(\omega t). \quad (11)$$

Одна видеолиния композитного видеосигнала в формате NTSC показана на рис.1 (здесь и далее для сохранения адекватности смысловой передачи общепринятых при проектировании технических терминов использованные обозначения, надписи и сокращения на рисунках выполнены на английском языке).

Видеолиния в формате NTSC начинается с синхроимпульса, далее следует пакет несущей частоты и закодированные, согласно приведённым выше уравнениям, видеоданные. Такие видеолинии собираются в четыре видеополя, которые составляют кадр. Один кадр в формате NTSC содержит 525 видеолиний.

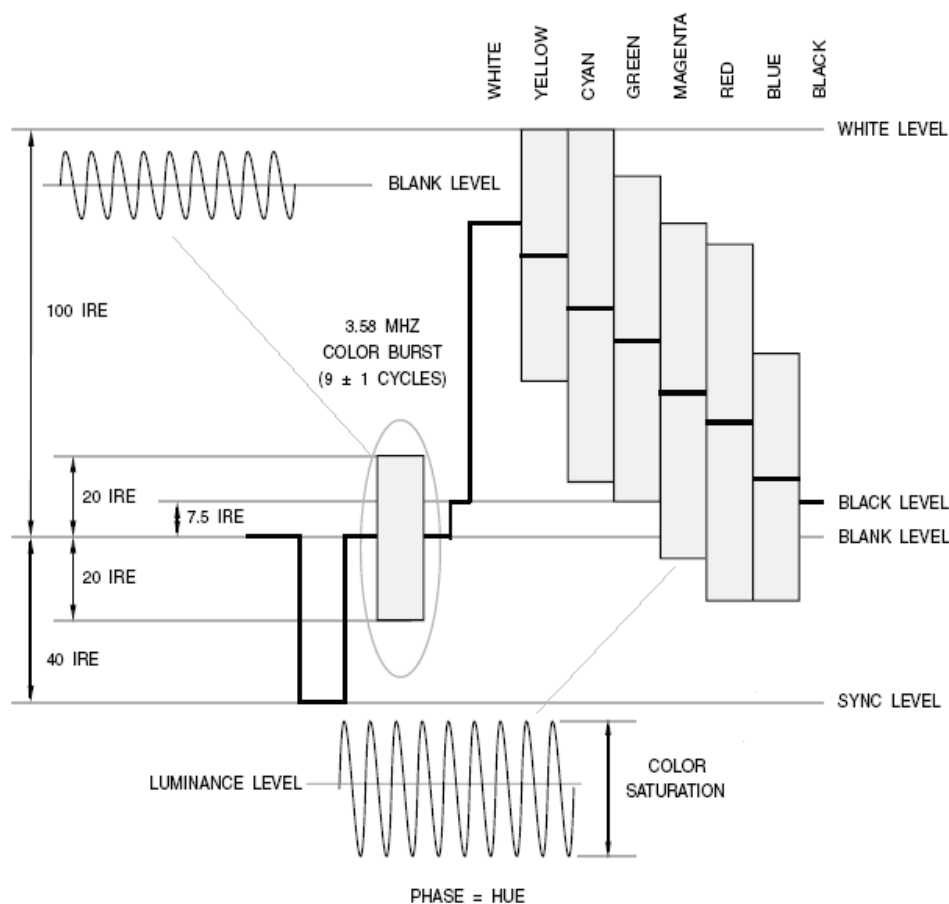


Рис.1. Схематичная временная диаграмма одной видеолинии одного композитного сигнала в формате NTSC. Использованы данные [7].

IRE – размерность видеосигнала (аббревиатура от Institute of Radio Engineers [8])

Система цветности PAL содержит 625 линий с частотой следования полей 50 Гц и чересстрочным сканированием. В системе PAL применяется смена фазы цветовой несущей [7, 9]. Модуляция яркости (Y) в системе PAL эквивалентна таковой в системе NTSC (1). Схема модуляции цвета отличается от стандарта NTSC и описывается следующими уравнениями (12)–(16):

$$U = 0.492 \times (B - Y), \quad (12)$$

$$V = 0.877 \times (R - Y), \quad (13)$$

$$C = U \times \sin(\omega t) \pm V \times \cos(\omega t), \quad (14)$$

$$\omega = 2\pi F_{sc}, \quad (15)$$

$$F_{sc} = 4.43361875 \text{ МГц} \pm 5 \text{ Гц}. \quad (16)$$

3. Проектирование СФ-блока

3.1. Архитектура СФ-блока

Мультистандартный видеodeкодер представляет собой классический пример микросхемы «смешанного сигнала». На одном чипе присутствуют цифровая и аналоговая части. Архитектура видео ЦАП показана на рис.2. Цифровая часть, расположенная на рисунке слева, содержит следующие субмодули: декодер входного потока, детектор PAL/NTSC, генератор несущей частоты, модулятор цветности и яркости, синхрогенератор. Аналоговая часть СФ-блока содержит три субмодуля ЦАП и другие субмодули, например, операционные усилители и источники опорного напряжения/тока.

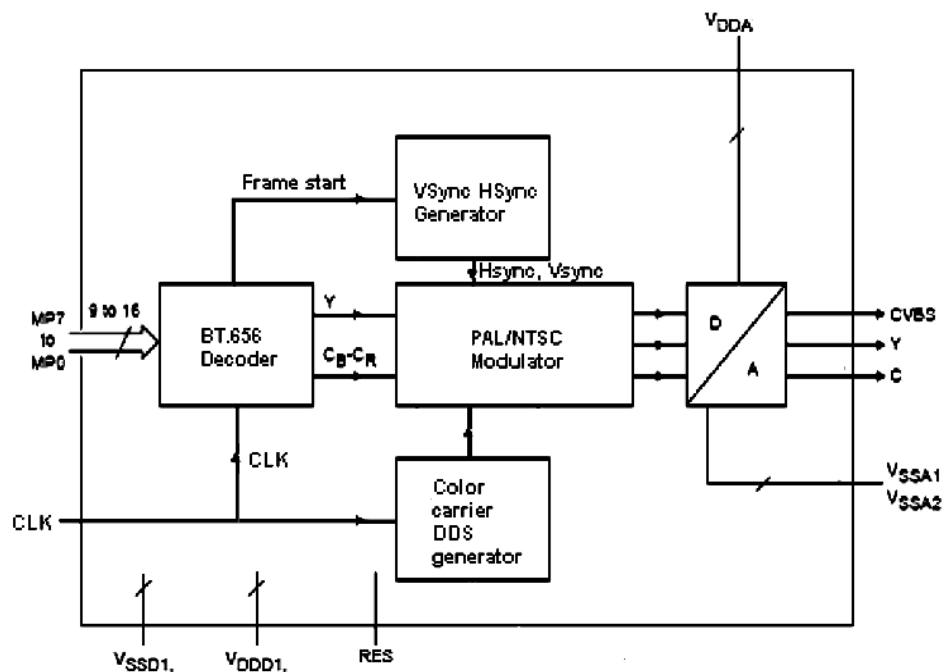


Рис.2. Архитектура СФ-блока видеodeкодера

3.2. Схемотехника СФ-блока

Декодер потока в стандарте BT.656 был реализован в виде конечного автомата (далее автомат). В начальный момент времени автомат находится в режиме ожидания входной последовательности (FF0000_{hex}), после чего он ожидает XY байт, чтобы получить сигналы SAV или EAV. Все данные между сигналами SAV и EAV, такие как Cb, Cr и Y, направляются в модулятор. Сигналы SAV и EAV направляются в синхрогенератор. Диаграмма состояний автомата декодера входного потока показана на рис.3.

Как показано выше, высокоточный генератор синусоидальной частоты необходим для модуляции видеосигнала в системах PAL или NTSC. Этот генератор должен иметь переключаемую частоту, так как значения частоты цветowych несущих в системах PAL и NTSC различаются.

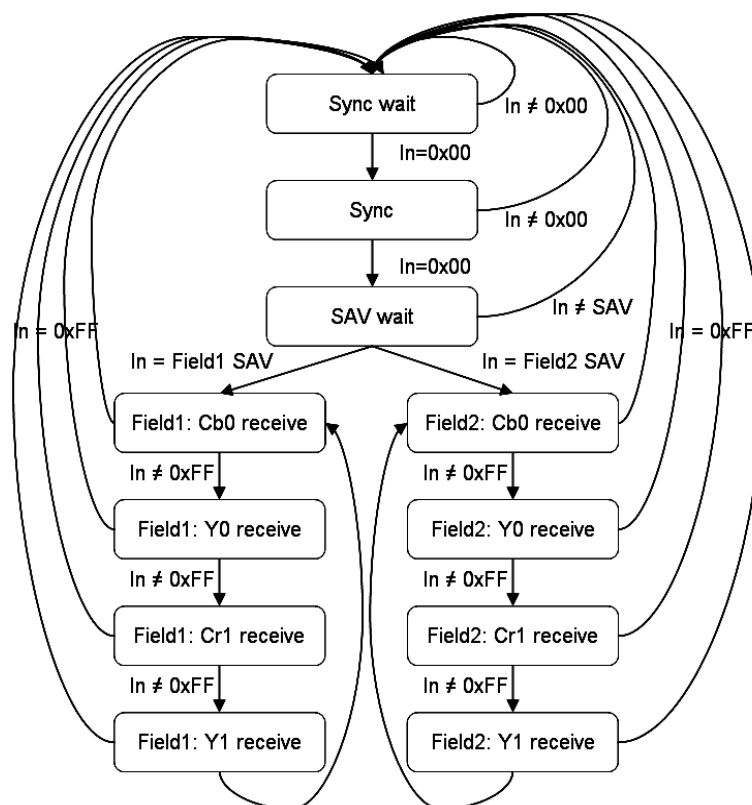


Рис.3. Диаграмма состояний автомата декодера входного потока

Использованный генератор построен согласно архитектуре прямого цифрового синтеза (direct digital synthesis, DDS). Упрощённая блок-схема генератора приведена на рис.4. Генератор содержит фазовый аккумулятор и преобразователь фазы в амплитуду. В аккумуляторе происходит сложение его текущего значения с т.н. «настроечным словом М» до момента переполнения аккумулятора, после чего цикл работы аккумулятора возобновляется.

Разрядность аккумулятора должна быть весьма высокой для точной генерации частоты. В данной работе ширина аккумулятора равна 24 разрядам.

Изменяя слово-модификатор, возможно изменять частоту во время работы. При опорной частоте 27 МГц расчёт настроечного слова М для случаев PAL/ NTSC показан ниже (17)–(18):

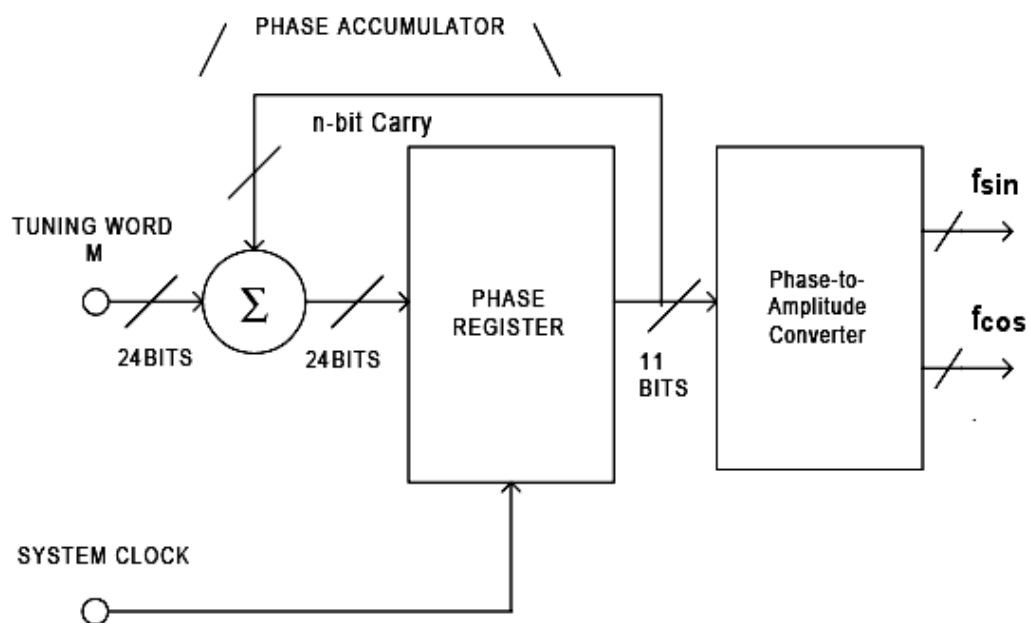


Рис.4. Упрощённая блок-схема генератора DDS

$$F = 27 \text{ МГц}, \quad (17)$$

$$F_{SCPAL} = 4.43361875 \text{ МГц}, \quad (18)$$

$$F_{SCNTSC} = 3.579594 \text{ МГц}, \quad (19)$$

$$A_{TOP} = 2^{24} = 16777216, \quad (20)$$

$$M_{PAL} = \frac{F_{SCPAL} \times A_{TOP}}{F} = 2A098 A_{hex}, \quad (21)$$

$$M_{NTSC} = \frac{F_{SCNTSC} \times A_{TOP}}{F} = 21F07C_{hex}. \quad (22)$$

Одиннадцать наиболее значащих разрядов аккумулятора передаются в таблицу поиска фазово-амплитудного конвертера, чтобы определить значения функции синуса. Таблица поиска была минимизирована с учётом свойств периодичности и симметричности функции синус. Для генерации функции косинуса использована та же таблица со сдвигом фазы. Разрядность выходных данных DDS составляет 10 бит. Результаты симуляции генератора DDS приведены на рис.5.

Субмодуль синхрогенератора принимает опорные временные метки от декодера входного потока и генерирует импульсы и последовательности горизонтальной и вертикальной синхронизации в соответствии с выбранным видеостандартом. Определение стандарта происходит автоматически путём подсчёта количества линий в период гашения. Все цифровые модули, включая верхний уровень цифрового блока, были описаны с использованием языка описания аппаратуры Verilog. Цифровая часть СФ-блока была синтезирована с использованием библиотеки стандартных элементов при помощи современного программного обеспечения логического синтеза. Перед синтезом функционирование цифровой части было подтверждено макетированием с использованием микросхемы ПЛИС. В результате был получен т.н. «Verilog net list», готовый для разработки топологии цифровой части.

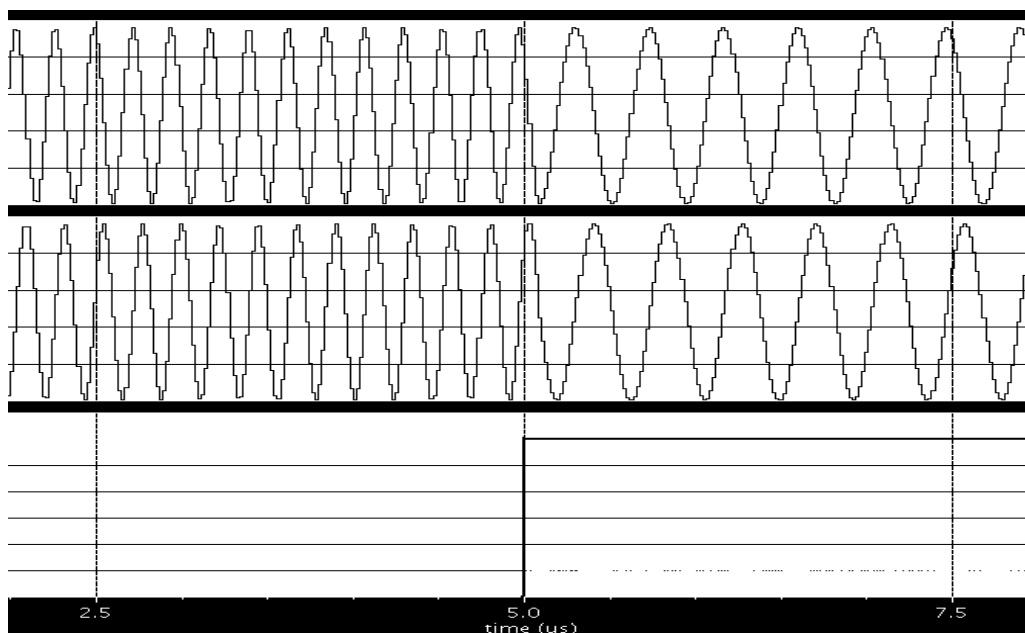


Рис.5. Результаты симуляции генератора DDS
(по оси ординат – напряжение, по оси абсцисс – время в микросекундах)

Аналоговый блок СФ-блока содержит три канала: один канал для вывода композитного и два канала для выводов сигналов Y и C для S-видеостандарта.

Каждый канал имеет входной регистр, ЦАП и операционный усилитель. Входной регистр является 10-разрядным регистром с параллельной загрузкой и выгрузкой для удержания входного значения. ЦАП сконструирован как комбинация 2-х суб-ЦАП: один – для старших наиболее значащих (most significant byte, MSB), другой – для младших наименьших значащих разрядов (least significant byte, LSB). Идея объединения двух ЦАП для работы в качестве одного имеет ряд преимуществ [10]. Схема ЦАП старших разрядов содержит матрицу единичных источников тока и переключателей. Общее число переключателей и источников тока – по 64.

Упрощённая схема ЦАП старших разрядов изображена на рис.6. На этом рисунке обозначены: I0 – массив (матрица) источников тока, I1 и I2 – преобразователи из двоичного кода в термометрический, I3 и I4 – стандартные ячейки T1EN1 (генератор логической единицы) and T1ELO (генератор логического нуля), соответственно.

На рис.7 показана упрощённая схема ЦАП младших разрядов.

3.3. Разработка топологии чипа

Топологически чип видеodeкодера разделён на аналоговую и цифровую части. Цифровая часть была синтезирована автоматически с использованием современного программного обеспечения. По разработанной топологии был проведён временной анализ. Все временные ограничения были удовлетворены с положительным запасом. Топология аналоговой части была разработана с использованием соответствующих современных программных средств вручную в связи с жёсткими требованиями, предъявляемыми к аналоговым блокам разрабатываемого СФ-блока.

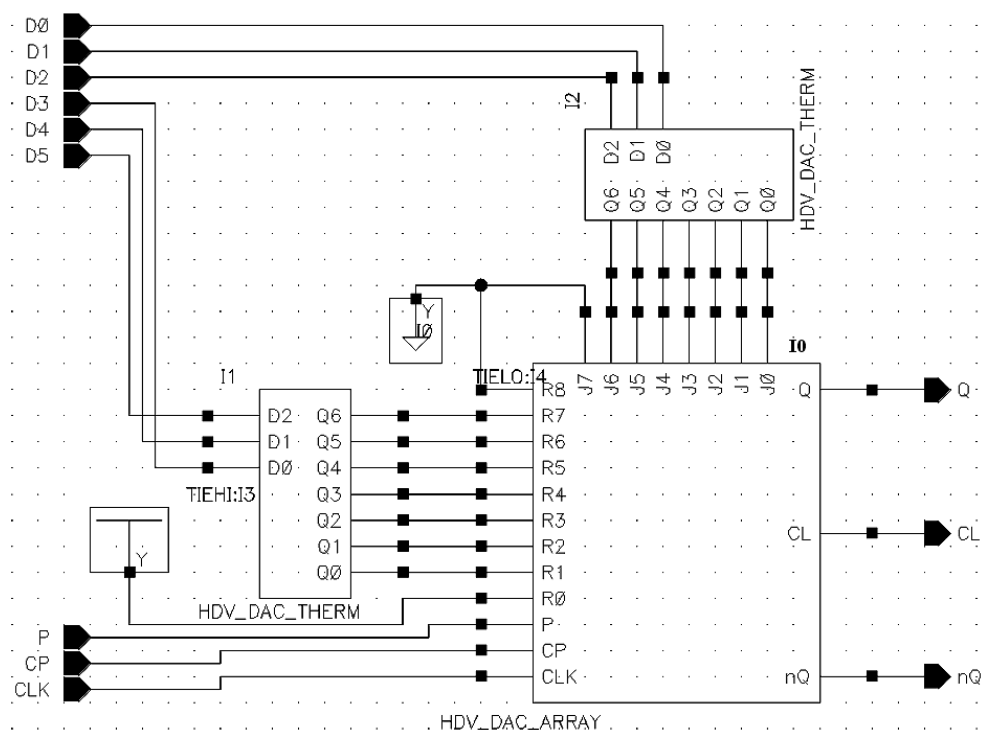


Рис.6. Упрощённая схема ЦАП старших разрядов

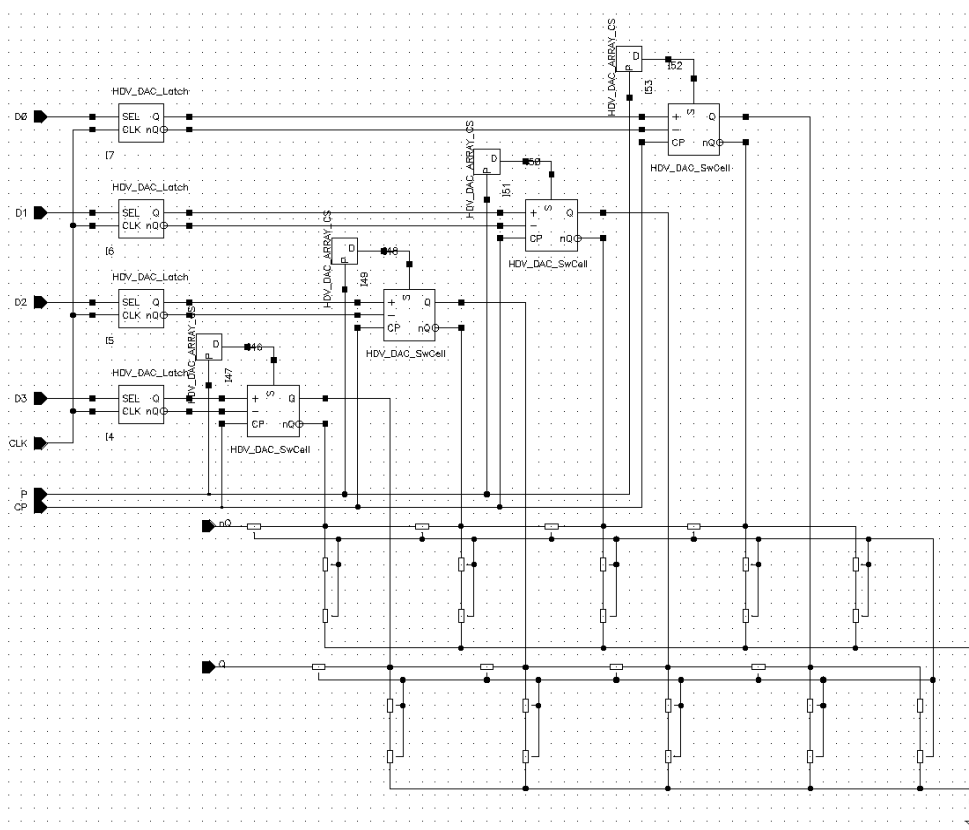


Рис.7. Упрощённая схема ЦАП младших разрядов

Пример полной топологии СФ-блока видеodeкодера и топология одного аналогового submodule ЦАП представлены на рис.8 и рис.9, соответственно. Размер СФ-блока составил $0.8 \text{ мм} \times 0.75 \text{ мм}$, а при его реализации в виде интегральной микросхемы с элементами ввода-вывода – $1.3 \text{ мм} \times 1.2 \text{ мм}$. Микросхема имеет 28 рабочих выводов и может быть

реализована, например, в 28-выводных стандартных пластмассовых микрокорпусах типа QFP или QFN. В настоящей работе для проведения комплексных обследований всех характеристик СФ-блоков, последние были реализованы с дополнительными тестовыми выводами и собраны в 64-выводные пластмассовые корпуса типа QFP.

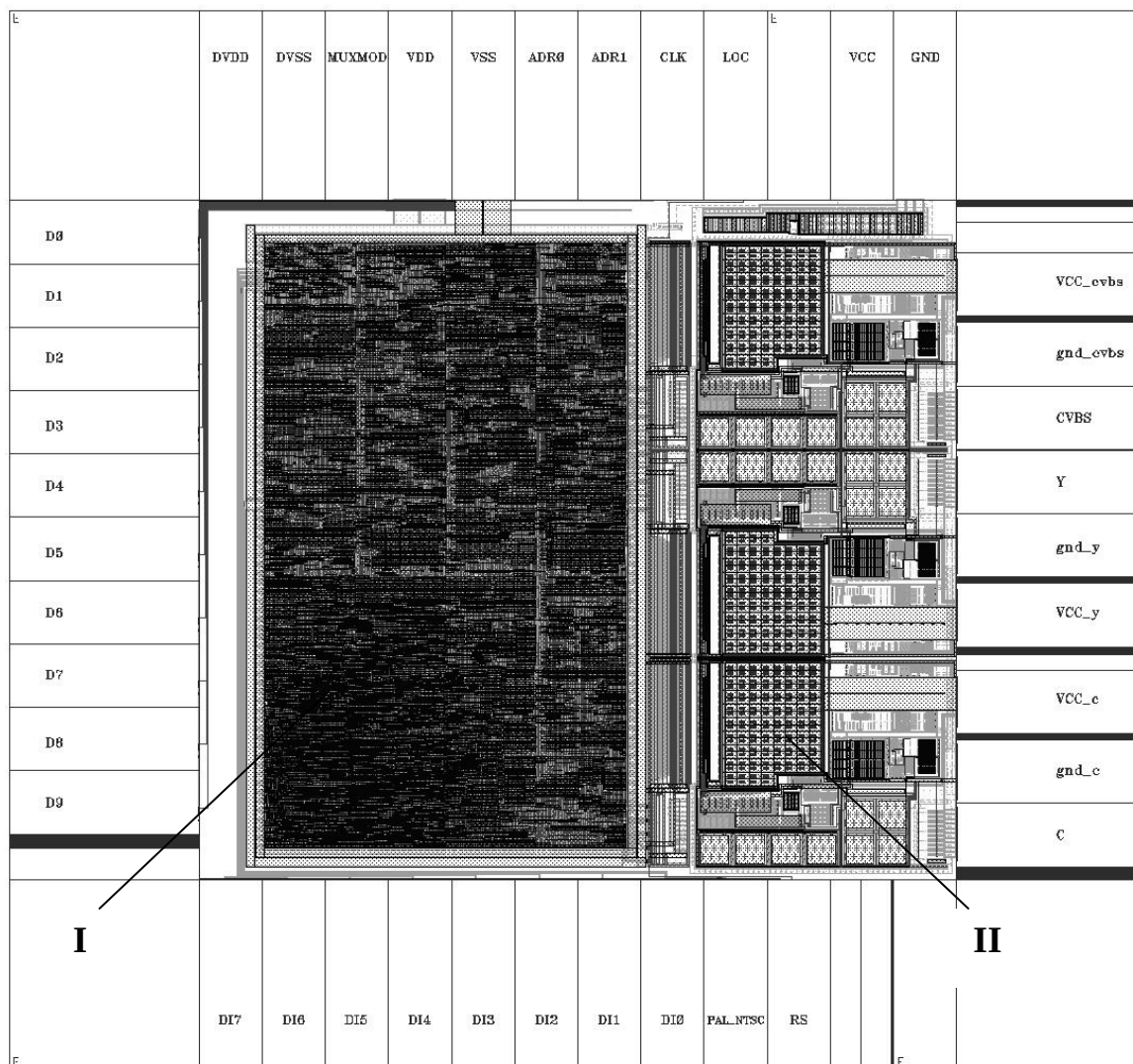


Рис.8. Полная топология СФ-блока видеodeкодера с указанием подключения (не показаны шины земли-питания для элементов ввода-вывода аналогового и цифрового блока чипа, а также сами элементы ввода-вывода). Цифрами обозначены: I – блок цифрового модулятора; II – один аналоговый суб-модуль ЦАП

4. Заключение

В первой части настоящей статьи рассмотрены различные вопросы проектирования СФ-блока мультистандартного PAL/NTSC видеodeкодера класса «микросхема смешанного сигнала», включающего блок цифрового модулятора и трехканальный 10-разрядный цифро-аналоговый преобразователь с рабочей частотой 27 МГц. Микросхема предназначена для цифрового телевидения и мультимедийных приложений. Разработка чипа проведена с использованием базовой КМОП технологии с проектно-технологическими нормами 0.18 мкм, в которой предусмотрены т.н. «аналоговые опции», дающие возможность изготавливать конденсаторные структуры. При реализации СФ-блока в виде отдельной кремниевой твердотельной интегральной микросхемы размер чипа составил 1.3 мм × 1.2 мм,

что позволило провести корпусирование в пластмассовые микрокорпуса. Во второй части работы будут изложены результаты верификации микросхемы «на кремнии».

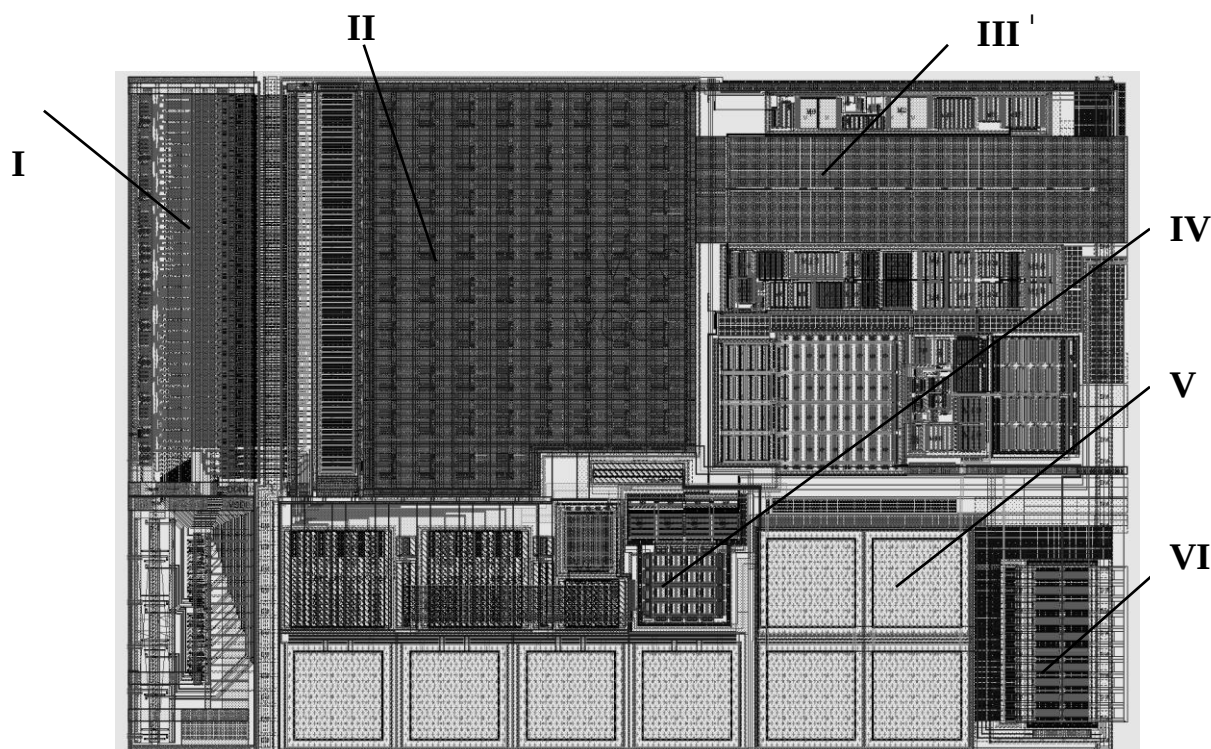


Рис.9. Пример топологии одного аналогового субмодуля ЦАП. Цифрами обозначены некоторые элементы: I – входные регистры; II – матрица единичных генераторов тока ЦАП; III – BIAS; IV – дифференциальная пара операционного усилителя, V – МИМ конденсатор, VI – выходной каскад

Литература

1. International Technology Roadmap for Semiconductors, 2009 Edition, p.p.32-34 // URL: <http://www.itrs.net>
2. Адамов Ю.Ф., Губин Я.С., Сибагатуллин А.Г., Сомов О.А. Аналоговые блоки в системах на кристалле // Электроника. НТБ, 2004, № 8, с.48-51.
3. Адамов Ю.Ф., Губин Я.С., Сибагатуллин А.Г., Сомов О.А. Аналоговые блоки в системах на кристалле (продолжение) // Электроника. НТБ, 2005, № 1, с.70-73.
4. Clover J. Russian switchover in progress // URL: <http://www.broadbandtvnews.com/2010/03/08/russian-switchover-in-progress/2010>.
5. ITU-R BT.656-4, Interfaces for digital component video signals in 525-line and 625-line television systems operating at the 4:2:2 level of recommendation ITU-R BT.601 (PART A).
6. ITU-R BT.601-4, Encoding parameters of digital television for studios.
7. Keith J. Video Demystified: A Handbook for the Digital Engineer // 5th Edition, 2007, Elsevier Science, p.p.247-273.
8. Robin M., Poulin M. Digital television fundamentals: design and installation of video and audio systems // 2nd Edition, 2000, McGraw-Hill Professional, p.17.
9. Sadiq D. M. Color Framing. What does it mean, and why won't it go away? // URL: <http://www.editorsbench.com/documents/cf2005.pdf>.
10. Nejati B., Larson L. An area optimized 2.5-V 10-b 200-MS/s 200-μA CMOS DAC // Proc. IEEE Custom Integrated Circuits Conference (CICC'06), p.p.161-164.

Статья поступила в редакцию 14.04.2011

Хабаров Павел Сергеевич

инженер ООО «СибИС» (630049, Новосибирск, ул. Красный проспект 220, корп.2, офис 300) тел. (383) 2-277-639.

Шлемин Дмитрий Львович

к.т.н., руководитель группы ООО «СибИС» (630049, Новосибирск, ул. Красный проспект 220, корп.2, офис 300), член IEEE, тел. (383) 2-277-639.

Лысь Василий Дмитриевич

руководитель группы ООО «СибИС» (630049, Новосибирск, ул. Красный проспект 220, корп.2, офис 300) тел. (383) 2-277-639.

Лебедев Юрий Павлович

ведущий инженер ООО «СибИС» (630049, Новосибирск, ул. Красный проспект 220, корп.2, офис 300) тел. (383) 2-277-639.

Васильев Владислав Юрьевич

д.х.н., профессор кафедры технической электроники СибГУТИ, зам. гендиректора ООО «СибИС» (630049, Новосибирск, ул. Красный проспект 220, корп.2, офис 300) тел. (383) 2-277-639, e-mail: vasiliev@sib-is.ru.

Попов Юрий Николаевич

Генеральный директор ООО «СибИС» (630049, Новосибирск, ул. Красный проспект 220, корп.2, офис 300) тел. (383) 2-277-639.

**Mixed-Signal Video Encoder Integrated Circuit Design Based on Sub-Micron Technology.
Part 1. Device Design and Layout**

Khabarov P. S., Shlemin D. L., Lys V. D., Lebedev Y. P., Vasilyev V. Yu., Popov Yu.N.

A three-channel multi-standard PAL/NTSC video encoder mixed-signal IP core for digital TV and multimedia applications has been designed. The IP core with about 1.56 mm² is proposed to be fabricated using a standard 0.18 μm CMOS technology flow with analog options followed by packaging using plastic QFN-type package. In the first part of the paper, design- and layout-related data are presented.

Keywords: IP core, PAL/ NTSC video encoder, DAC, modulator.