

DOI: 10.55648/1998-6920-2023-17-2-69-83

УДК 621.315.61.004.6:621.3.049.77

Отказы интегральных схем, вызванные пробоем диэлектрика

В. В. Шубин

Сибирский гос. унив. телекоммуникаций и информатики (СибГУТИ)

Аннотация: В статье описаны некоторые проблемы отказов в работе интегральных схем (ИС) и их предотвращение конструктивно-технологическими и схемо-топологическими способами. Рассмотрены, обобщены и систематизированы вопросы, связанные с проблемами отказов ИС, вызванных пробоем диэлектрика. Представлены примеры, которые могут быть использованы в практической деятельности при разработке ИС для повышения их надёжности на ранних этапах проектирования с учётом современных тенденций развития в области микроэлектроники.

Ключевые слова: пробой диэлектрика, электростатический разряд.

Для цитирования: Шубин В. В. Отказы интегральных схем, вызванные пробоем диэлектрика // Вестник СибГУТИ. 2023. Т. 17, № 2. С. 69–83.
<https://doi.org/10.55648/1998-6920-2023-17-2-69-83>.



Контент доступен под лицензией
Creative Commons Attribution 4.0
License

© Шубин В. В., 2023

Статья поступила в редакцию 08.02.2023;
переработанный вариант – 20.02.2023;
принята к публикации 20.03.2023.

1. Введение

Отказы интегральных схем (ИС), вызванные *электрическими перенапряжениями* (*Electrical OverStress, EOS*), связаны с воздействием повышенных напряжений и токов, приложенных к рабочим компонентам ИС. Помимо общепринятых технологических методов противодействия отказам, вызванным электрическими перенапряжениями, в практике проектирования ИС применяются конструктивные схемо-топологические меры предосторожности, которые позволяют минимизировать вероятность двух типов EOS-отказов. *Пробой диэлектрика* (*Dielectric Breakdown, DB*) происходит вследствие явления деградации оксида под воздействием повышенных напряжений или других форм перенапряжений и приводит к возможным отказам ИС. Определённые ограничения правил проектирования топологии помогут уменьшить вероятность отказов. *Электростатический разряд* (*ElectroStatic Discharge, ESD*) представляет собой форму электрического перенапряжения, вызванного статическим электричеством. Добавление специальных защитных структур к уязвимым контактным площадкам может минимизировать отказы, вызванные ESD.

2. Пробой диэлектрика

В современном производстве изделий микроэлектроники доминирующую долю в общем объёме технологических процессов в размере около 90 % составляют CMOS- и BiCMOS-процессы, в которых одними из наиболее уязвимых с точки зрения отказов являются нарушения диоксида кремния. Основу CMOS-технологии составляют процессы изготовления MOS-транзисторов с изолированным затвором, в которых используется необычайно тонкий подзатворный слой диэлектрика. Толщина подзатворного оксида MOS-транзисторов типового 5 В CMOS-процесса составляет примерно 200 Å, а подзатворного оксида современного 1.8 В CMOS-процесса – 90 Å. Так как средняя длина связи атомов оксида кремния (silicon-oxygen bond) равняется приблизительно 1.5 Å, то толщина 90 Å представляет собой всего 60 атомных слоёв оксида. Такие тонкие диэлектрики чрезвычайно уязвимы к электрическому перенапряжению. Поэтому пробой подзатворного диэлектрика является одним из важнейших факторов, определяющих рабочее напряжение и надёжность приборов на основе MOS-структур.

2.1. Механизм действия

Пробой диэлектрика (Dielectric Breakdown, DB) вовлекает физические процессы, объединяемые термином **туннелирование**, которые позволяют носителям проникать через пространство внешне непреодолимых препятствий – подзатворный слой диэлектрика. Скорость туннелирования электронов уменьшается по экспоненциальной зависимости по мере роста преодолеваемого пространства и ограничивается на уровне 45 Å. Дырки также способны туннелировать, но из-за их большей эффективной массы на меньшую величину дистанции.

Различают несколько механизмов пробоя подзатворного диоксида кремния. Принято считать, что при высоких напряжённости электрического поля ($E > 8 \div 10$ МВ/см) пробой происходит вследствие ударной ионизации в объёме диэлектрика – так называемый собственный пробой [1, 2, 3]. Также этот процесс часто называют **сквозным** или **непосредственным туннелированием электронов (direct electron tunneling)**. В этом механизме пробоя электроны могут проникать в диэлектрики на расстояние не более 45 Å (рис. 1А). Обычно механизм сквозного туннелирования электронов в подзатворных или конденсаторных диэлектриках не встречается, так как их толщина слишком велика.

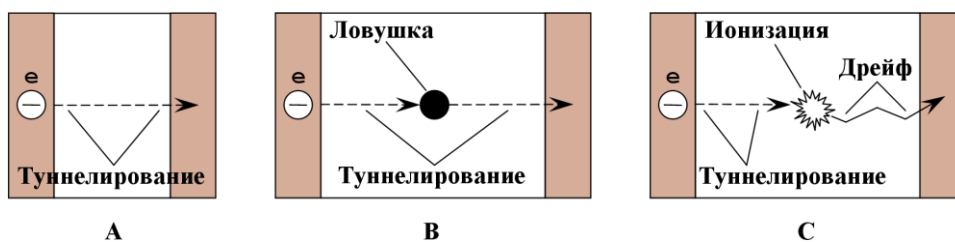


Рис. 1. Визуализация схемы механизмов туннелирования в подзатворных оксидах:

- А – сквозное (непосредственное) туннелирование электронов;
- В – туннелирование электронов посредством ловушек;
- С – механизм туннелирования по Фаулеру–Нордхейму

Электроны могут туннелировать через бóльший интервал с помощью **туннелирования посредством ловушек (trap-assisted tunneling)**. При данном способе туннелирования носителя заряда через диэлектрический слой ловушка служит промежуточным этапом в двухшаговом или многошаговом процессе переноса. Количество шагов, т.е. количество ловушек, через которые могут проходить носители через диэлектрический слой в процессе туннелирования, зависит от толщины диэлектрика, концентрации ловушек, типа источника инжекции (полупроводниковый или металлический электрод) и его положения в диэлектрике относи-

тельно первой ловушки. После прохождения последней ловушки электрон попадает в зону проводимости полупроводника или в металлический слой в зависимости от того, из какого слоя осуществляется инжекция [4]. Для электронов ловушки действуют по методу ступенчатого туннелирования (*stepping-stone method*). До тех пор, пока электроны могут перемещаться последовательными скачками до 45 \AA каждый, они «просачиваются» через заполненные ловушками диэлектрики. Высококачественные диэлектрики имеют некоторое количество ловушек, расположенных на расстоянии, превышающем 45 \AA . Туннелирование всё ещё происходит от одной стороны диэлектрика до ловушек вблизи центра и затем на другую сторону (рис. 1В). В высококачественных диэлектриках носители не могут преодолевать расстояние более $\sim 90 \text{ \AA}$. В низкокачественных диэлектриках из-за множества ловушек носители могут легко преодолевать много бóльшие расстояния. Этот процесс в низкокачественных диэлектриках позволяет просачиваться через них, независимо от их толщины [5].

Даже более толстые (более 90 \AA) и более высококачественные диэлектрики могут быть подвержены туннелированию. Механизм такого туннелирования впервые описан Р.Х. Фаулером и Л. Нордхеймом в 1928 г. Поэтому этот механизм был назван именами его основателей – *туннелирование по Фаулеру–Нордхейму (Fowler–Nordheim tunneling)* [6]. Данный механизм возникает, когда к диэлектрику приложено интенсивное электрическое поле. Если в такое поле инжектирован электрон, то его энергия увеличивается пропорционально величине поля, и если энергии электрона за счёт ионизации достаточно для последующего дрейфа, то он может проходить весь интервал толщины диэлектрика, как показано на рис. 1С.

Туннелирование по Фаулеру–Нордхейму инжектирует электроны в диэлектрик, где электрическое поле усиливает их энергию и трансформирует их в горячие электроны. Горячие электроны сталкиваются с внутренними атомами диэлектрика, соударяясь со свободными валентными электронами. Этот процесс генерирует дырки и способствует прохождению этих дырок через присутствующие в оксиде ловушки. Поэтому диэлектрики, подверженные туннелированию по Фаулеру–Нордхейму, постепенно деградируют и в конце концов начинают течь. Возникающий ток называется *током утечки, вызванным перенапряжением (stress-induced leakage current, SILC)* [7, 8].

Ток утечки, вызванный перенапряжением, может привести к катастрофическим отказам, если диэлектрик остаётся под напряжением. Некоторые электроны, инжектированные в диэлектрик за счет туннелирования посредством ловушек, утекают из своих ловушек под воздействием энергии электрического поля. Последующие столкновения с атомами диэлектрика генерируют дополнительные ловушки, которые, в свою очередь, увеличивают ток утечки. Наиболее слабые места диэлектриков непропорционально подвержены воздействию процесса SILC, так как площадь, через которую он протекает, уменьшается, и ток утечки увеличивается. В конце концов в этом месте диэлектрика начинают протекать такие большие токи, что диэлектрик расплавляется. Проводящий материал, смежный с диэлектриком, проникает через это место пробоя, приводя к необратимому отказу в виде короткого замыкания схемы.

Диэлектрики, подверженные большому перенапряжению, могут пробиваться в течение нескольких наносекунд. С другой стороны, диэлектрики, подверженные граничным напряжениям, могут функционировать месяцы или даже годы вплоть до тех пор, пока не произойдёт отказ. Такие отложенные отказы называются *пробоем диэлектрика, зависящим от времени (time-dependent dielectric breakdown, TDDB)*. Уязвимость диэлектриков TDDB существенно зависит от состава диэлектрика, его толщины и однородности структуры.

2.2. Методы противодействия отказам ИС, вызванным пробоем диэлектрика

Все различные формы пробоев диэлектриков существуют вследствие чрезмерных электрических перенапряжений, приложенных к затворным оксидам или другим тонким изолирующим слоям. Существует одно очевидное средство противодействия отказам ИС, вызванным пробоем диэлектрика: предотвращение воздействий чрезмерных электрических перенапряжений на тонкие диэлектрики. К сожалению, это условие довольно трудно выполнить,

так как не существует способа точного определения величины напряжения, являющейся чрезмерной. Главная проблема заключается не в том, что электрическое поле приложено к диэлектрику, а в том, что оно неоднородно. Диэлектрик непременно имеет более тонкие и ещё более тонкие области, а электрическое поле может концентрироваться в некоторых точках (например, таких как острые углы в проводниках). Ловушки, ответственные за возникновение утечек, в диэлектрике также распределены непредсказуемо и неоднородно. Поэтому операции надёжного технологического процесса всегда требуют большого запаса прочности. По этой причине более толстые диэлектрики могут оказаться даже более уязвимыми к пробое диэлектрика, чем более тонкие, так как они могут содержать большее количество непредсказуемых неоднородностей. Обычное максимально допустимое напряжение для сухого оксида толщиной $300\div 500 \text{ \AA}$ равно около $3.5\div 4.0 \text{ МВ/см}$, в то время как максимальное напряжение, допустимое для более тонких оксидов, равно около $4.0\div 4.5 \text{ МВ/см}$ [5].

Известно множество различных проблем сохранения *целостности затворного оксида (gate oxide integrity, GOI)* в процессе его создания. Проблемы GOI находятся среди наиболее трудных задач, стоящих перед современными фабриками, производящими пластины в CMOS- или BiCMOS-процессах. На самом деле отказы, вызванные GOI, весьма трудно идентифицировать, и поэтому дефектные кристаллы нередко доходят до заказчика. Таким образом, проблемы нарушений GOI определённо являются причинами многих внезапных и неожиданных отказов электронных приборов, которые традиционно приписывают переходным процессам в шинах источников питания [5].

В результате многочисленных исследований был разработан метод, который позволяет выявлять дефекты кристалла GOI до поставки заказчику. Этот метод, названный *тестирование нагрузки перенапряжением (overvoltage stress testing, OVST)*, использует управляемое воздействие перенапряжением на затворный оксид. Обычно величина такого напряжения определяется удвоенным значением установленного предельно допустимого рабочего напряжения. Допускается только однократное воздействие OVST и только на очень короткий промежуток времени (не более 100 мс). Если во время процедуры OVST происходит отказ одного из приборов на кристалле, то этот кристалл забраковывается. Если во время OVST выявляются отказы нескольких кристаллов пластины, то бракуется вся пластина. Если выявляется несколько пластин партии, подверженных отказам OVST, то бракуется вся партия. Обычно фабрики-изготовители ИС предупреждают заказчика о возможности отказов OVST, которые не выявляются стандартными методами обнаружения GOI-проблем. В случае возникновения OVST-отказов технологический цикл изготовления ИС должен быть приостановлен вплоть до выявления всех причин этих отказов и их полного устранения.

Существует много других причин, которые могут ослаблять диэлектрик. Например, атомы тяжёлых металлов могут препятствовать росту однородного оксида, способствуя возникновению слабых мест, которые впоследствии уменьшают целостность оксида. Большинство технологических процессов изготовления ИС используют подложки, выращенные *методом Чохральского (Czochralski-grown substrate)*. В процессе роста кремния по методу Чохральского кислород, присутствующий в кварцевом тигле, попадает в кремний. Если кремний нагреть до $1000 \text{ }^\circ\text{C}$ на несколько часов, то кислород собирается в локализованных областях, формируя зоны оксида, которые называются *кислородными преципитатами (oxygen precipitates)*, или оксида, содержащего кислородные остатки. Эти преципитаты *связывают*, или *поглощают*, атомы тяжёлых металлов, нейтрализуя их от вмешательства в поверхностное окисление. Этот процесс очень существенно улучшает целостность затворного оксида.

Диффузия высоколегированной примеси N+-типа, которая встречается на ранних этапах технологического процесса изготовления ИС, также может поглощать атомы тяжёлых металлов. Например, заглублённый переход N+-типа или NBL (скрытый слой). Они также могут улучшать целостность затворного оксида прибора (GOI) в пределах определённого расстояния от затворного оксида, называемого *расстоянием поглощения (absorption distance)*, как показано на рис. 2. Обычно расстояние поглощения составляет около сотни микрон. Процессы, которые не требуют непосредственного использования кислородного осаждения

(oxygen precipitation), такие как, например, процессы DI (Dielectric Isolation), всё равно могут добавлять этап формирования заглублённых переходов N+-типа или NBL просто для улучшения целостности затворного оксида. В таких случаях правила проектирования топологии обязывают размещение блоков или полосок заглублённых переходов N+-типа по соседству с MOS-транзисторами.

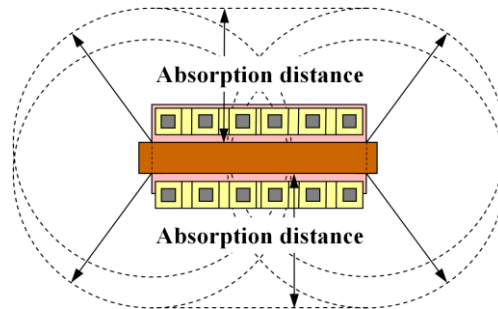


Рис. 2. Расстояние поглощения

Тот факт, что глубокая диффузия N+-типа поглощает примеси тяжёлых металлов, наводит на мысль, что оксиды, выращенные над областью такой глубокой диффузии, будут обладать меньшей прочностью. Этот эффект подтверждается фактическими наблюдениями. Хотя некоторые технологические процессы в силу разных причин могут позволять выращивание оксидов, образованных затворами MOS-транзисторов, над областью глубокой диффузии N+-типа, их действующие приборы будут иметь более слабую прочность оксидов, чем те, что выращены над слаболегированным кремнием. Поэтому следует избегать использования больших областей глубокой диффузии N+-типа под оксидами, образованными затворами MOS-транзисторов.

3. Электростатический разряд

Одним из наиболее известных законов физики, с которым мы сталкиваемся в повседневной жизни и который имеет реальное практическое применение, является **закон Ома для электропроводности**. Этот закон устанавливает линейную связь между плотностью тока J и электрическим полем E и применяется к любым материалам, как к «хорошим» проводникам – металлам, так и к «плохим» – изоляторам. Коэффициент пропорциональности σ называется проводимостью (или электропроводностью) и является свойством материала:

$$J = \sigma E. \quad (1)$$

Разница материалов между проводниками и диэлектриками является чисто условной и определяется общепринятыми соглашениями. Принято, что проводимость σ «хороших» проводников (металлов) равна $\approx 10^7$ См, а «плохих» проводников (изоляторов) $\approx 10^{-10}$ См [9]. То есть любой физический объект можно считать тем или иным проводником, и, значит, он обладает некоторой ёмкостью, которая может аккумулировать определённый заряд (вплоть до $\sim 10\,000$ В и выше) и хранить его определённое время. В современных ИС заряд даже менее 50 В может приводить к необратимому разрушению затворного оксида MOS-транзисторов. Так как ИС взаимодействуют с человеком в процессе изготовления и дальнейшей эксплуатации, то заряд, накопленный человеком, вносит высокий риск пробоя затворного оксида, вызванного явлением, названным **электростатическим разрядом (ElectroStatic Discharge, ESD)**.

3.1. Механизм действия

Все ИС проходят необходимые тестовые испытания, в том числе и на уязвимость ESD. При этих испытаниях используют три распространённые тестовые модели: модель человеческого тела (Human Body Model, HBM), машинная модель (Machine Model, MM) и модель заряженного прибора (Charged Device Model, CDM). Для испытаний по модели HBM используют схему на рис. 3А. Если переключатель замыкает цепь схемы испытания, то конденсатор ёмкостью 150 пФ, предварительно заряженный до некоторого напряжения (например, 2 кВ), разряжается через последовательно включённый резистор с сопротивлением 1.5 кОм на тестируемый прибор (Device Under Test, DUT). Идеально, если все пины (pins) ИС протестированы на уязвимость ESD, но на практике для уменьшения времени тестирования выборочно определяется ограниченное количество комбинаций пинов ИС. Каждый из тестируемых пинов подвергается воздействию последовательности положительных и отрицательных импульсов: например, три положительных и три отрицательных. От современных ИС ожидается, что они должны выдерживать 2 кВ при испытаниях по модели HBM. Однако для некоторых приборов могут быть установлены повышенные требования, например, способность держать 25 кВ.

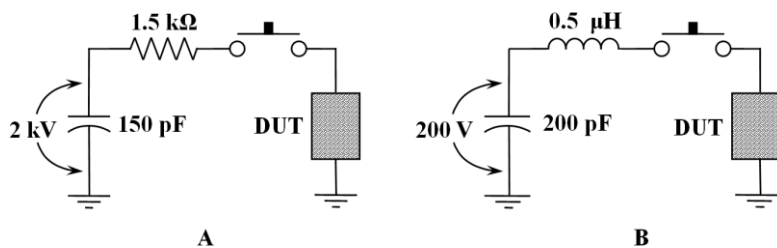


Рис. 3. Схемы моделей тестирования ИС:
А – модель тела человека (HBM) 2 кВ; В – машинная модель (MM) 200 В

На рис. 3В представлена схема тестирования по машинной модели (MM). Конденсатор ёмкостью 200 пФ, заряженный до установленного напряжения (например, 200 В), разряжается через катушку индуктивности 0.5 мкГн на тестируемый прибор DUT. При испытаниях по модели MM, так же, как и по модели HBM, каждый из пинов ИС подвергается воздействию определённой последовательности положительных и отрицательных импульсов. Теперь во время тестирования DUT по модели MM пиковый ток ограничен катушкой индуктивности незначительной величины – 0.5 мкГн, поэтому схема формирует более резкий импульс ESD, чем схема модели HBM. В зависимости от особенностей технологического процесса и используемых элементов защиты интерфейса ИС в тестовых испытаниях по модели MM некоторые приборы могут выдерживать воздействие до 500 В [5].

Третья модель испытаний ИС на отказ от пробоя ESD – модель заряженного прибора (CDM) – несмотря на более высокую трудоёмкость постепенно заменяет модель MM, т.к. более точно воспроизводит реальные условия воздействий ESD и более качественно контролируют слабые места ИС. Во время сборки кристаллов ИС в корпус в нём могут накапливаться статические заряды из-за индукции или трения. Как только какой-либо вывод ИС внезапно заземляется, через него разряжаются первоначально накопленные статические заряды. Это явление, которое может вызывать огромный ток (~10 А) за короткий промежуток времени (~1 нс), называется эффектом ESD по модели CDM (CDM ESD). На рис. 4 демонстрируется действие эффекта ESD по модели CDM.

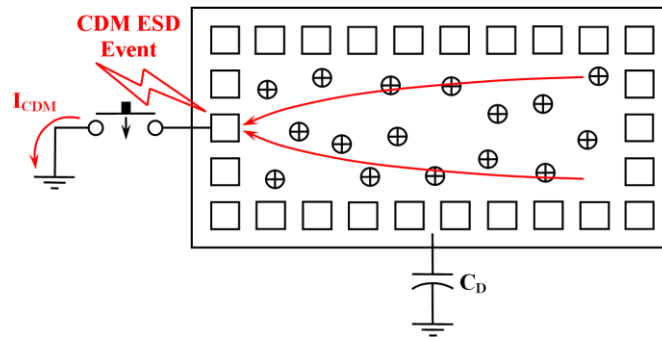


Рис. 4. Действие эффекта ESD по модели CDM: накопленный в корпусе ИС положительный заряд быстро разряжается через заземлённый внешний терминал

Существует много ситуаций, когда пины ИС могут контактировать с заземлённой поверхностью. Оборудование, участвующее в производственном процессе, как правило, заземлено, поэтому возникает высокая вероятность случайного прикосновения пинов ИС с его заземлёнными поверхностями. На рис. 5 показано случайное падение заряженного корпуса ИС на заземлённую поверхность оборудования (рис. 5А) и принцип испытательного цикла по модели CDM (рис. 5В).

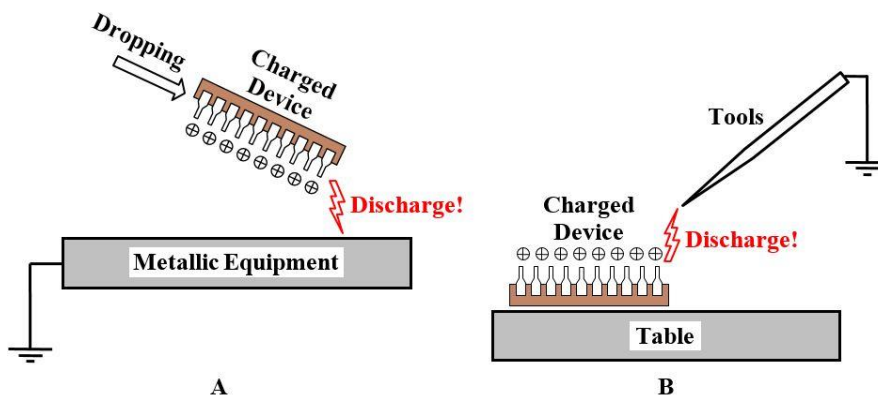


Рис. 5. Примеры CDM-модели в действии:
А – случайное падение заряженного корпуса ИС на заземлённую поверхность оборудования;
В – процесс испытательного цикла по модели CDM

ИС имеют различные размеры кристалла, так что их эквивалентные паразитные ёмкости (C_D) могут заметно отличаться друг от друга. Поэтому различные ИС имеют разные пиковые токи и различную прочность к воздействию ESD по модели CDM [10]. Если прибор тестируется по модели CDM с эквивалентной ёмкостью 4 пФ при заряде 1 кВ, ток через пин ИС может возрастать до значений 15 А за несколько нс [11]. На рис. 6 показан пробой подзатворного оксида NMOS-транзистора ИС после испытаний на пробой ESD по модели CDM [10].

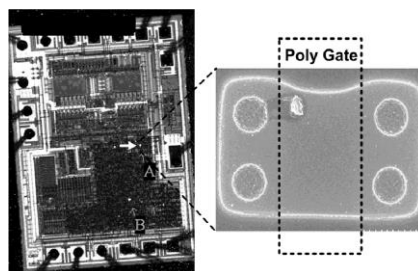


Рис. 6. Пробой подзатворного оксида NMOS-транзистора ИС после испытаний по модели CDM

Эквивалентная схема модели CDM представлена на рис. 7. Она позволяет понять механизм воздействия ESD на ИС по модели CDM и построить установку для соответствующих испытаний на пробой подзатворного оксида [12].

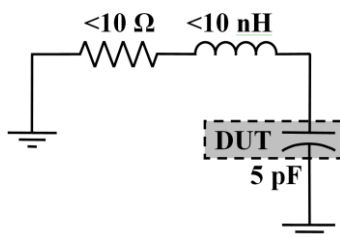


Рис. 7. Эквивалентная схема модели CDM

Воздействие по модели CDM является более быстрым, по сравнению с воздействием по моделям HBM и MM, и образует максимальный пиковый ток, как показано в табл. 1 [12].

Таблица 1. Электрические характеристики разряда ESD, показывающие пиковый ток ESD, длительность положительного фронта и полосу пропускания переходного процесса

Модель	I_{peak} , (А)	Длительность нарастания, (нс)	Полоса пропускания, (МГц)
HBM	1.33	10–30	2.1
MM	3.7–7	15–30	12
CDM	10	1	1100

3.2. Методы противодействия отказам ИС, вызванных ESD

Для минимизации рисков отказов компонентов ИС, чувствительных к ESD, требуется соблюдать меры предосторожности, предписанные соответствующими регламентами технологических процессов изготовления ИС и ТУ эксплуатации: заземлённые браслеты и паяльники, ионизаторы и антистатические маты, использование статико-экранированных упаковок и т.д. Эти меры предосторожности существенно снижают вероятность отказов ИС, вызванных ESD, но не исключают их полностью. Поэтому производители ИС, как правило, предусматривают разработку специальных встроенных защитных электронных устройств в элементы интерфейсов ИС – пинов, связанных с внешним миром. Такие защитные структуры позволяют поглощать и рассеивать умеренные уровни ESD и тем самым дополнительно защищать ИС от преждевременных отказов.

Все уязвимые пины ИС должны иметь структуры защиты от пробоя ESD, подсоединённые к соответствующим контактным площадкам. Сущность любой такой структуры схемы защиты заключается во введении в схему ИС элементов, обладающих способностью максимально быстро отводить чрезмерные токи, протекающие через рабочие элементы, связанные с внешним миром. Наиболее распространённым таким элементом является сточный P-N-переход, смещённый в прямом направлении для стрессовых перенапряжений. Такой P-N-переход можно назвать защитным «сточным» диодом (ESD Clamp). Принцип действия такого диода в стандартном CMOS-процессе изготовления ИС поясняется схемой на рис. 8.

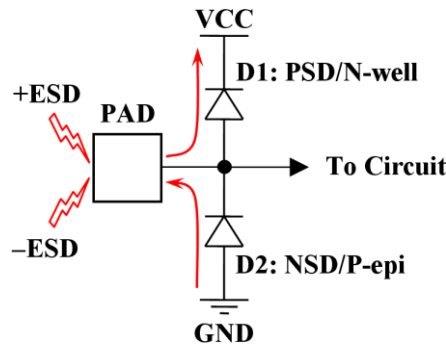


Рис. 8. Принцип действия «сточного» диода ESD

Как только потенциал заряда ESD превышает напряжение VCC на величину прямого напряжения «сточного» диода V_F (D1: PSD/N-well), P-N-переход диода D1 открывается в прямом направлении, и заряд +ESD стекает в узел источника питания VCC. Если потенциал заряда падает ниже напряжения земли GND на величину прямого напряжения «сточного» диода V_F (D2: NSD/P-epi), P-N-переход диода D2 открывается в прямом направлении, и заряд -ESD стекает в узел земли GND. Обычно прямое напряжение диодов PSD/N-well и NSD/P-epi в стандартном CMOS-процессе изготовления ИС составляет ~ 0.7 В. Таким образом, остаточные потенциалы ESD, проникающие на рабочие элементы внутри схемы (To Circuit), не превышают $VCC + V_F$ и $GND - V_F$.

Падение напряжения стекающих токов происходит на паразитных сопротивлениях источника ESD, траверсах, соединяющих выводы корпуса с контактной площадкой кристалла ИС (PAD) и сопротивлениях проводников внутри кристалла, соединяющих анод диода D1 и катод диода D2 с контактными площадками (PADs). Величина этих сопротивлений невелика, а мощность паразитных резисторов незначительна. Поэтому они могут приводить к выгоранию этих резисторов и потере работоспособности ИС. Таким образом, для того чтобы избежать данного эффекта, между контактной площадкой (PAD) и сточными защитными диодами в схеме защиты требуется введение более мощного рабочего токоограничительного резистора R_{ESD} . В зависимости от конструктивно-технологических особенностей конкретных ИС существует огромное количество разнообразных схемотопологических решений встроенной схемы защиты элементов входа/выхода (I/O) от пробоя ESD [10, 12, 13, 14]. На рис. 9 представлена наиболее распространенная простейшая схема защиты от пробоя ESD.

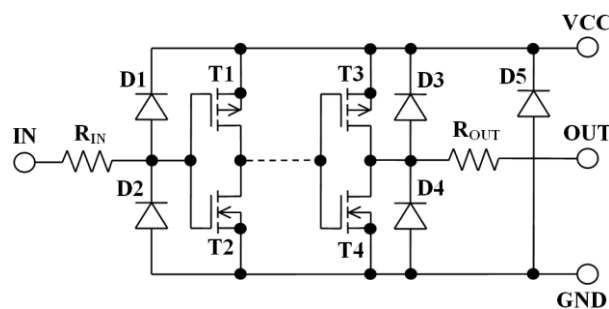


Рис. 9. Структурная схема CMOS ИС со стандартным цифровым входом и цифровым выходом и с традиционной схемой защиты от пробоя ESD

Некоторые пины ИС могут противодействовать ESD, не требуя дополнительной защиты. Примерами могут служить пины выходов мощных выходных инверторов (T3–T4) или элемента входа/выхода с мощным выходом, или входом (выходом) аналогового ключа, подсоединённого к пину ИС, или входом с защёлкой в обратной связи на входе, или определённые входные элементы, конструктивно имеющие соединения с закрытыми P-N-переходами. В этих случаях диоды D1–D2 или D3–D4 могут отсутствовать. Диод D5 предназначен для

защиты неконтролируемых скачков напряжения по шине питания VCC. В некоторых CMOS-процессах, где подложка пластины и терминалов подложки одного из типов транзисторов электрически составляют единое целое, а транзисторы другого типа расположены в соответствующем кармане, необходимость сточного диода D5 также отпадает. В этом случае функцию сточного диода D5 выполняет закрытый переход P-well/N-substrate (N-well/P-substrate). Если при этом паразитные сопротивления, соединяющие пины I/O с внутренними элементами схемы, удовлетворяют требуемому уровню защиты от ESD, то встроенная схема защиты не требуется. В этом случае P-N-переходы рабочих элементов схемы, подсоединённые к пинам ИС, могут иметь способность рассеивать и поглощать энергию ESD, выполняя функцию сточных диодов. Пины ИС или приборы, соединённые с ними, которые могут противостоять воздействию ESD без дополнительной схемы защиты, называют *самозащищёнными*. Как правило, резисторы R_{IN} и R_{OUT} выполнены из затворного поликремния $R_S \sim 20 \text{ Ом}/\square$.

На рис. 10А показана схема входной защиты от пробоя ESD, которая обладает более высокими показателями защиты уязвимых элементов I/O ИС. Она дополнена сточными диодами, соединёнными непосредственно с контактными площадками ИС (PADs). Ещё более высокий уровень защиты предоставляют структуры, использующие распределённые совмещённые диодно-резистивные элементы, как показано на рис. 10 (B, C, D).

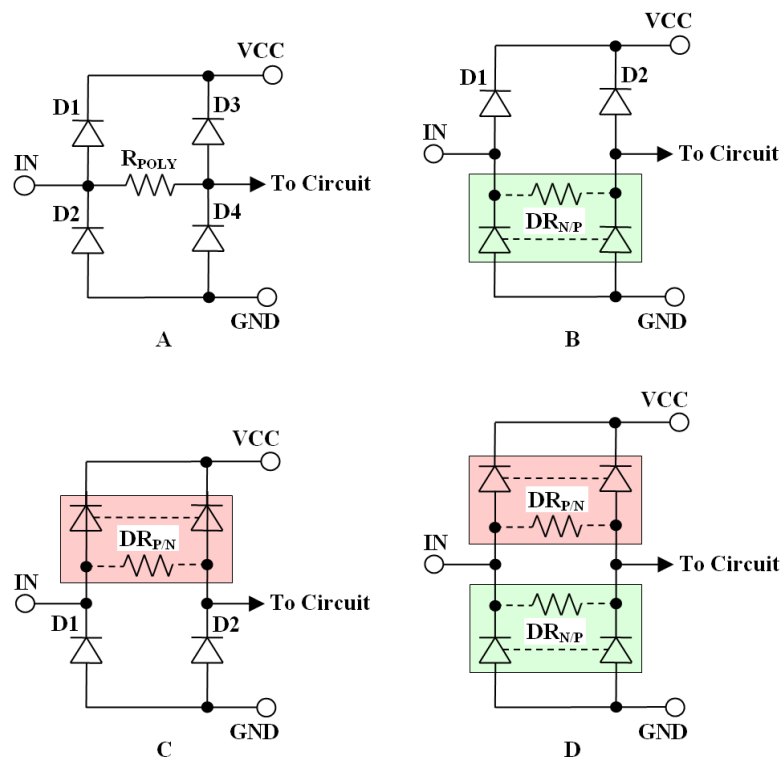


Рис. 10. Усовершенствованная схема входной защиты от пробоя заряда ESD.

- А – схема с дополнительными сточными диодами D1–D2 и поликремниевым резистором;
- В – схема с распределённым совмещённым диодно-резистивным элементом $DR_{N/P}$;
- С – схема с распределённым совмещённым диодно-резистивным элементом $DR_{P/N}$;
- Д – схема, комбинирующая распределённые совмещённые диодно-резистивные элементы $DR_{P/N}$ – $DR_{N/P}$

Если пины CMOS или BiCMOS ИС соединены с переходами относительно небольшой площади, то они являются уязвимыми к необратимому разрушению перехода, вызванному ESD. То есть переходы недостаточной площади не могут защитить самих себя. С другой стороны, повышение уровня защиты от ESD входных пинов ИС за счёт увеличения площадей P-N-переходов сточных диодов и сопротивлений токоограничительных входных резисторов R_{IN} приводит к росту входной RC-цепи и не может гарантировать сохранение параметров ТУ по быстродействию и величине входной ёмкости. Неконтролируемое увеличе-

ние выходного защитного резистора R_{out} , помимо потери быстродействия, также приводит к снижению уровня выходного тока, росту выходного сопротивления ИС и длительности фронтов выходного сигнала. Поэтому разработчик топологии должен использовать любую возможность уменьшения величины паразитных характеристик элементов входа/выхода без ущерба сохранения требуемых параметров ТУ ИС [5, 12]. Например, если удельная ёмкость металла контактной площадки (PAD) невелика, то сама контактная площадка имеет большую площадь и, значит, ёмкость, вносящую заметный вклад в паразитную ёмкость пина.

В связи с ограниченными возможностями более ранних установок для изготовления рабочих шаблонов в производстве ИС исторически была принята и сохраняется до сих пор тенденция использования квадратной формы топологии рабочих контактных площадок (КП) (рис. 11А). Иногда требуется расположить на кристалле дополнительные тестовые КП, которые могут участвовать в групповом зондовом тестировании на пластине, но не участвуют в монтажной сборке кристалла в корпус. В этом случае тестовая КП должна визуально отличаться от рабочих. Простейшей визуализацией отличий тестовых КП от рабочих без ущерба размера рабочей поверхности КП при зондировании ИС является преобразование топологии КП в октагональную форму за счёт обрезки углов (рис. 11В) [15, 16].

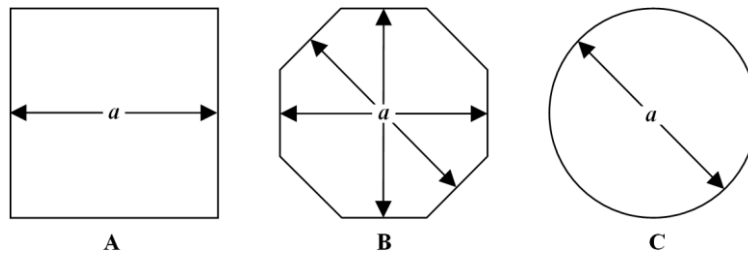


Рис. 11. Формы контактных площадок:

А – квадратная рабочая контактная площадка; В – октагональная тестовая контактная площадка;
С – круглая контактная площадка будущего

Эволюцию масштабирования современных ИС отличает важная особенность: не все правила проектирования топологии масштабируются пропорционально базовому характеристическому размеру. В частности, при масштабировании характеристического размера с 3 мкм до 180–90 нм (уменьшение в ~25 раз) размер рабочей КП изменился со 140–120 мкм до 90–60 мкм (уменьшение в ~1.7 раза). Ёмкость КП носит паразитный характер и в общем виде равна:

$$C_{КП} = \sum C_{уд} \cdot S_{об}. \quad (2)$$

Здесь $C_{уд}$ – обобщённая удельная ёмкость паразитного конденсатора, образованного КП, $S_{об}$ – обобщённая площадь верхней обкладки конденсатора, образованного КП (PAD). В данном случае нижней обкладкой конденсатора является подложка кристалла, которая полностью перекрывает площадь КП.

При расчётах следует учитывать, что обобщённая площадь $S_{об}$ состоит из двух составляющих – $S_{гор}$ (площади горизонтальной поверхности КП) и $S_{бок}$ (площади боковой поверхности КП). Для каждой площади определена своя удельная ёмкость – $C_{гор}$ (удельная ёмкость горизонтальной поверхности КП) и $C_{бок}$ – (удельная ёмкость боковой поверхности КП), различие которых поясняется на рис. 12.

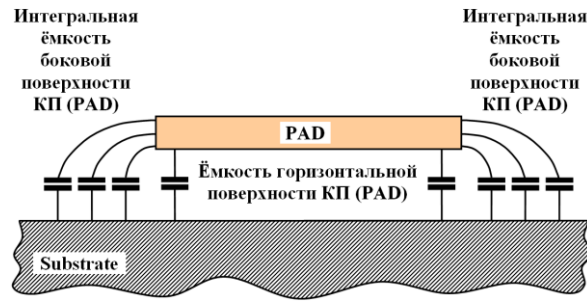


Рис. 12. Паразитная ёмкость контактной площадки (PAD)

Учитывая, что $S_{бок} = P \cdot h$ (где P – периметр фигуры и h – толщина слоя металла КП), можно провести качественное сравнение площадей горизонтальной $S_{гор}$ и боковой $S_{бок}$ наложением всех трёх КП друг на друга, как показано на рис. 13.

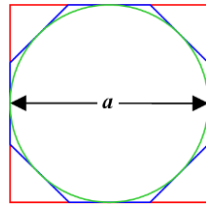


Рис. 13. Наложение топологического рисунка КП (рис. 12А, 12В, 12С) друг на друга

Рис. 13 позволяет убедиться, что $S_{гор.Квадрата} > S_{гор.Восьмиугольника} > S_{гор.Круга}$; $P_{Квадрата} > P_{Восьмиугольника} > P_{Круга}$ и, следовательно, $S_{бок.Квадрата} > S_{бок.Восьмиугольника} > S_{бок.Круга}$. В табл. 2 сведены количественные отличия площадей трёх форм КП.

Таблица 2. Количественные отличия площадей трёх форм КП

	$S_{гор}$		$S_{бок}$	
	a^2	a^2	$4a \cdot h$	$4a \cdot h$
Квадрат	a^2	a^2	$4a \cdot h$	$4a \cdot h$
Восьмиугольник	$2a^2(\sqrt{2} - 1)$	$\sim 0.828a^2$	$8a(\sqrt{2} - 1) \cdot h$	$\sim 3.312a \cdot h$
Круг	$\pi a^2/4$	$\sim 0.785a^2$	πa	$\sim 3.142a \cdot h$

Так как приближение к физическим пределам масштабирования наступает с неумолимой неизбежностью, разработчик топологии ИС обязан использовать любые возможности достижения предельно допустимых характеристик. Предположительно, одной из таких возможностей может стать в том числе и переход на круглые КП.

Биполярные схемы также обладают своими уязвимостями к отказам, вызванными ESD, среди которых наиболее известен переход база-эмиттер NPN-транзисторов. Образование лавинного пробоя переходов база-эмиттер NPN-транзистора ведёт к постоянной деградации его бета (β). Обсуждение принципов защиты от пробоя ESD аналоговых биполярных схем является отдельной и весьма обширной темой. Так как формат публикации ограничен, а прогнозирование уязвимости ESD затруднено, общая рекомендация – добавлять защиту приборов ко всем пинам везде, где это возможно без экономических потерь или характеристик ИС.

4. Заключение

Данная работа является первой частью цикла публикаций, посвящённого теме отказов ИС и методов противодействия этим отказам. Автор предполагает продолжить обсуждение темы методов противодействия отказам ИС и повышения их надёжности в последующих публикациях, где будут представлены описания других типов отказов ИС, вызванных порою весьма неординарными причинами.

Литература

1. *DiStefano T. H., Shatzkes M.* Impact ionization model for dielectric instability and breakdown // *Appl. Phys. Lett.* 1974. V. 25. P. 685–687.
2. *Solomon P.* Breakdown in silicon oxide – a review // *J. Vac. Sci. Technol.* 1977. V. 14. P. 1122–1130.
3. *Klein N.* Electrical breakdown mechanisms in thin insulators // *Thin Solid Films.* 1978. V. 50. P. 223–232.
4. *Yeo Y. C., King T. J., Hu C.* MOSFET Gate Leakage Modeling and Selection Guide for Alternative Gate Dielectrics Based on Leakage Considerations // *IEEE Transactions on Electron Devices.* 2003. V. 50, № 4. P. 1027–1035.
5. *Hastings A.* The Art of Analog Layout. New Jersey: Pearson Prentice Hall, 2006. 648 p.
6. *Fowler R. H., Nordheim L.* Electron emission in intense electric fields // *Proc. R. Soc. London, Ser. A.* 1928. V. 119. P. 173–181.
7. *Larcher L., Passagnella A., Ghidman G.* A Model of the Stress Induced Leakage Current in Gate Oxides // *IEEE Trans. Electron Devices.* 2001. V. 48, № 2. P. 285–288.
8. *Lenahan P. M., Mele J. J., Campbell J. P., Kang A. Y., Lowry R. K., Woodbury D., et al.* Direct Experimental Evidence Linking Silicon Dangling Bond Defects to oxide Leakage Currents // *Proc. International Reliability Physics Symp.* 2001. P. 150–155.
9. *Яворский Б. М., Детлаф А. А., Лебедев А. К.* Справочник по физике для инженеров и студентов вузов / изд. 8-е, перераб. и испр. М.: Оникс; Мир и Образование, 2006. 1056 с.
10. *Ker Ming-Dou, Yuan-Wen Hsiao.* CDM ESD Protection in CMOS Integrated Circuits // *Proc. The Argentine School of Micro-Nanoelectronics, Technology and Applications,* 2008. P. 61–65.
11. *Henry L., Barth J., Hyatt H., et al.* Charged device model metrology: limitations and problems // *Microelectron. Reliab.* Jun. 2002. V. 42, № 6. P. 919–927.
12. *Dabral S., Maloney T. J.* Basic ESD and I/O Design. Toronto: John Wiley & Sons Inc. 1998. V. XIII. 328 p.
13. *Chen J. Z., Amerasekera A., Duvvury Ch.* Design Methodology for Optimizing Gate Driven ESD Protection Circuits in Submicron CMOS Processes // *Proc. EOS/ESD Symp.,* 1997. P. 1–10.
14. *Richier C., Salome P., Mabboux G., et al.* Investigation on different ESD protection strategies devoted to 3.3 V RF applications (2 GHz) in a 0.18 μ m CMOS process // *Proc. EOS/ESD Symp.,* Sep. 2000. P. 251–259.
15. *Clein D.* CMOS IC LAYOUT. Concepts, methodologies and tools. Boston: Newnes. 2000. № XV. 261 p.
16. *Razavi B.* Design of Analog CMOS Integrated Circuits. McGraw-Hill Education. NY, 2017. 782 p.

Шубин Владимир Владимирович

к.т.н., доцент кафедры технической электроники СибГУТИ;
 начальник отдела по разработке аналоговых ИМС АО «НЗПП Восток» (630082, Новоси-
 бирск, ул. Дачная, 60), e-mail: shubin@nzpp.ru, ORCID ID: 0000-0002-2974-0497.

*Автор прочитал и одобрил окончательный вариант рукописи.
 Автор заявляет об отсутствии конфликта интересов.*

Failures of ICs Caused by Dielectric Breakdown

Vladimir V. Shubin

Siberian State University of Telecommunications and Information Science (SibSUTIS)

Abstract: The paper describes some problems of operation failures of integrated circuits (ICs) and corresponding preventative measures by constructive-technological, schematic-topological methods at the early stages of design process. The issues related to the problems of IC failures caused by dielectric breakdown are considered, generalized and systematized. Some examples that can be used in practice when developing ICs to improve their reliability, taking into account current trends in the microelectronics field.

Keywords: dielectric breakdown, electrostatic discharge.

For citation: Shubin V. V. Failures of ICs caused by dielectric breakdown (in Russian). *The SibSUTIS Bulletin*, 2023, vol. 17, no. 2, pp. 69-83. <https://doi.org/10.55648/1998-6920-2023-17-2-69-83>.



Content is available under the license
 Creative Commons Attribution 4.0
 License

© Shubin V. V., 2023

The article was submitted: 08.02.2023;
 revised version: 20.02.2023;
 accepted for publication 20.03.2023.

References

1. DiStefano, T. H. Impact ionization model for dielectric instability and breakdown. *Appl. Phys. Lett*, 1974, vol. 25, pp. 685-687.
2. Solomon, P. Breakdown in silicon oxide. *J. Vac. Sci. Technol*, 1977, vol. 14, pp. 1122-1130.
3. Klein, N. Electrical breakdown mechanisms in thin insulators. *Thin Solid Films*, 1978, vol. 50, pp. 223-232.
4. Yeo, Y. C. MOSFET Gate Leakage Modeling and Selection Guide for Alternative Gate Dielectrics Based on Leakage Considerations. *Y. IEEE Transactions on Electron Devices*, 2003, vol. 50, no. 4, pp. 1027-1035.
5. Hastings, Alan. *The art of Analog layout*, New Jersey: Pearson Prentice Hall, 2006. p. 648.
6. Fowler, R. H. Electron emission in intense electric fields. *Proc. R. Soc. London, Ser. A*, 1928, vol. 119, pp. 173-181.
7. Larcher, L. A Model of the Stress Induced Leakage Current in Gate Oxides. *IEEE Trans. Electron Devices*, 2001, vol. 48, no. 2, pp. 285-288.
8. Lenahan, P. M. Direct Experimental Evidence Linking Silicon Dangling Bond Defects to oxide Leakage Currents. *Proc. International Reliability Physics Symp*, 2001, pp. 150-155.
9. Yavorskii, B. M. *Spravochnik po fizike dlya inzhenerov i studentov VUZov* [Handbook of Physics for engineers and university students]. 8th ed., Moscow: Onyx; World and Education, 2006. p.1056.

10. Ker, Ming-Dou. CDM ESD Protection in CMOS Integrated Circuits. *Proceedings of the Argentine School of Micro-Nanoelectronics*, Technology and Applications, 2008, pp. 61-65.
11. Henry, L. Charged device model metrology: limitations and problems. *Microelectron. Reliab*, Jun. 2002, vol. 42, no. 6, pp. 919-927.
12. Dabral, Sanjay. *Basic ESD and I/O Design*, Toronto: John Wiley & Sons Inc., 1998, vol. XIII, p. 328.
13. Chen, J. Z. Design Methodology for Optimizing Gate Driven ESD Protection Circuits in Submicron CMOS Processes. *Proc. EOS/ESD Symp.*, 1997, pp. 1-10.
14. Richier, C. Investigation on different ESD protection strategies devoted to 3.3 V RF applications (2 GHz) in a 0.18 μ m CMOS process. *Proc. EOS/ESD Symp.*, sep. 2000, pp. 251-259.
15. Clein, D. Cmos ic layout. *Concepts, methodologies and tools*, 2000, no. XV, p.261.
16. Razavi, B. Design of Analog CMOS Integrated Circuits. *2nd Ed. McGraw-Hill Education*, 2017, pp. 782.

Vladimir V. Shubin

Cand. of Sci. (Engineering), assistant professor of the Department of Technical Electronics of SibSUTIS, Head of the Development of analog ICs of JSC "NZPP Vostok department" (630082, Novosibirsk, Dachnaya str., 60), e-mail: shubin@nzpp.ru, ORCID ID: 0000-0002-2974-0497.