

Оптимизация топологий интегральных катушек индуктивности для синтеза СВЧ LC-фильтров в Si/SiGe/GaAs-системах на кристалле

В. В. Ерохин, С. А. Завьялов

Омский государственный технический университет (ОмГТУ)

Аннотация: В статье предложены модели планарных симметричных восьмиугольных катушек индуктивности, отличающиеся методом расчета индуктивности и учетом структуры и характеристик технологического процесса. Выведены формулы в закрытой форме для расчета характеристик моделей интегральных планарных катушек индуктивности различных конфигураций. Модели верифицированы путем сравнения АЧХ разработанной модели полосового фильтра (с частотами среза 14 ГГц и 18 ГГц) с АЧХ произведенных экспериментальных образцов в технологическом процессе SiGe 130 нм. АЧХ произведенных образцов фильтра находятся в диапазоне АЧХ разработанной модели фильтра в крайних точках технологического разброса. Предложен алгоритм оптимизации топологий интегральных планарных катушек индуктивности по критерию максимальной добротности на требуемой частоте. Синтез интегральных LC-фильтров в технологических процессах Si, SiGe и GaAs с использованием разработанного алгоритма оптимизации топологий интегральных катушек индуктивности позволяет минимизировать потери в полосе пропускания и максимизировать крутизну АЧХ. Программная реализация алгоритма оптимизации выполнена в ПО Mathcad. Программный расчет оптимальной топологии катушки индуктивности по критерию максимальной добротности занимает десятки секунд – единицы минут в зависимости от сложности структуры технологического процесса.

Ключевые слова: SiK, LC-фильтр, Si, SiGe, GaAs, модель катушки индуктивности, скин-эффект, краевой эффект.

Для цитирования: Ерохин В. В., Завьялов С. А. Оптимизация топологий интегральных катушек индуктивности для синтеза СВЧ LC-фильтров в Si/SiGe/GaAs-системах на кристалле // Вестник СибГУТИ. 2023. Т. 17, № 3. С. 87–105.
<https://doi.org/10.55648/1998-6920-2023-17-3-87-105>.



Контент доступен под лицензией
Creative Commons Attribution 4.0
License

© Ерохин В. В., Завьялов С. А., 2023

Статья поступила в редакцию 05.04.2023;
переработанный вариант – 26.04.2023;
принята к публикации 27.04.2023.

1. Введение

В современных беспилотных автомобилях и летательных аппаратах для обеспечения связи и управления используются широкополосные СВЧ приемники и передатчики, выполненные в виде устройств типа «система-на-кристалле» (SiK). Для обеспечения приемлемой избирательности каналов связи требуются LC-фильтры с крутизной АЧХ 200 – 400 дБ/дек, следовательно, требуется использовать большое количество катушек индуктивности. Ввиду малого количества слоев металлизации в технологических процессах Si, SiGe, GaAs (от 2 до 10) используются планарные катушки индуктивности. Добротности интегральных планар-

ных катушек индуктивности составляют всего 5 – 50 единиц, что сильно сказывается на крутизнах АЧХ LC-фильтров и потерях в полосе пропускания. Поэтому оптимизация топологий интегральных катушек индуктивности по критерию получения максимальной добротности на требуемой частоте является актуальной задачей.

В публикациях [1 – 4] были исследованы возможности увеличения добротности интегральных катушек индуктивности за счет уменьшения влияния подложки путем использования заземленных экранов из различных материалов под катушками индуктивности. В результате исследований было выявлено, что наиболее эффективным экраном является заземленный экран, выполненный в нижнем слое металлизации, использование которого позволяет повысить максимальную добротность на 5 % – 30 %. Недостаток использования экранирования – это увеличение паразитной емкости к общему выводу, вследствие чего частота собственного резонанса катушки индуктивности уменьшается (рис. 1). Поэтому применение заземленного экрана не всегда целесообразно.

В публикациях [5 – 7] был исследован способ увеличения добротности интегральных катушек путем травления подложки под катушками индуктивности. Данный способ позволяет полностью исключить влияние подложки и в разы увеличить максимальную добротность и частоту собственного резонанса (рис. 1). Недостатками данного способа являются необходимость наличия специализированного высокоточного оборудования и невозможность применения способа для катушек индуктивности, выполненных в технологических процессах, которые имеют металлизацию с обратной стороны кристалла.

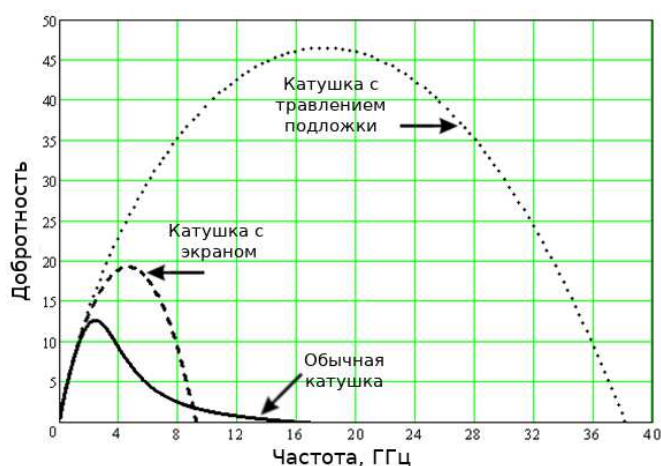


Рис. 1. Сравнение добротностей катушек индуктивности

В работах [8 – 12] представлены ранее разработанные алгоритмы и программы оптимизации интегральных планарных катушек индуктивности. Недостатки данных работ:

- расчет только несимметричных спиральных катушек индуктивности;
- для расчета номинала индуктивности используются выражения, полученные методом подбора коэффициентов, которые могут иметь погрешности до 10 %;
- не учитываются некоторые характеристики технологического процесса;
- не оцениваются и не используются такие способы увеличения добротности, как использование нескольких слоев металлизации, заземленный экран, травление подложки.

Цель работы – разработать алгоритм и программное обеспечение для поиска оптимальной топологии катушки индуктивности по критерию максимальной добротности на требуемой частоте с учетом основных характеристик технологического процесса, в том числе с использованием вышеописанных способов увеличения добротности.

Точность определения оптимальной топологии в первую очередь определяется точностью используемых моделей катушек индуктивности. Характеристики моделей катушек индуктивности должны соответствовать измеренным характеристикам экспериментальных образцов микросхем.

2. Модели интегральных планарных катушек индуктивности

На рис. 2 представлены П-модели интегральных катушек индуктивности [4, 10 – 14]. L_{ind} – индуктивность катушки, R_{ind} – активное сопротивление катушки, C_{ind} – сумма межвитковой емкости и емкости между выводами, C_{ox} – емкость между катушкой индуктивности и подложкой, C_{SHD} – емкость между катушкой индуктивности и заземленным экраном, C_{sub} и R_{sub} – емкость и сопротивление подложки.

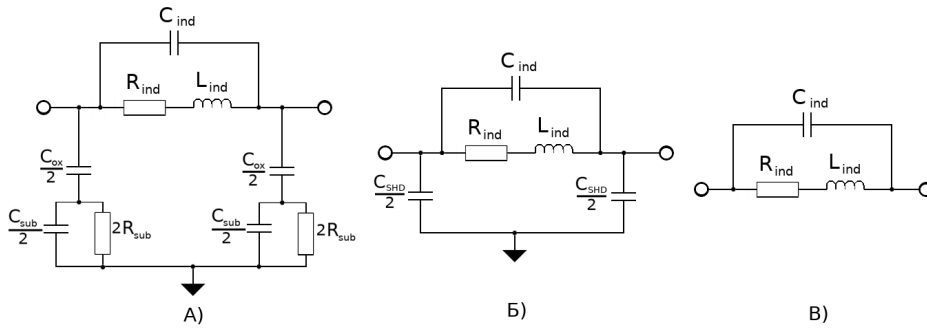


Рис. 2. П-модели интегральной катушки индуктивности в общем виде (А), с экранированием (Б), с травлением подложки (В)

Для получения максимальной точности модели активное сопротивление R_{ind} необходимо рассчитывать с учетом скин-эффекта и сопротивлений переходных отверстий. От активного сопротивления катушки зависит добротность катушки, и для его уменьшения можно использовать несколько параллельных слоев металлизации для планарной катушки. Эквивалентные схемы активного сопротивления представлены на рис. 3. R_i – сопротивление i -го слоя металлизации катушки с учетом скин-эффекта, R_v – сопротивление массива переходных отверстий между двумя слоями металлизаций. Радиус поперечного сечения межслойных переходных отверстий меньше глубины скин-эффекта в диапазоне до десятков ГГц, поэтому при расчете их сопротивлений скин-эффект не учитывается.

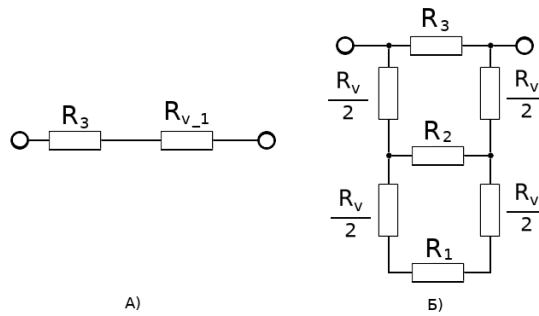


Рис. 3. Эквивалентные схемы активного сопротивления катушки индуктивности при использовании одного слоя металлизации (А) и трех слоев металлизации (Б)

С учетом скин-эффекта сопротивление проводника прямоугольного сечения рассчитывается по формулам [15–17]:

$$R_{\text{skin}}(w, l, t, \rho, f) = \frac{\rho \cdot l}{w \cdot t_{\text{eff}}(t, \rho, f)}, \quad (1)$$

$$t_{\text{eff}}(t, \rho, f) = \delta \cdot \left(1 - e^{-\frac{t}{\delta}} \right), \quad (2)$$

$$\delta(\rho, f) = \sqrt{\frac{\rho}{\pi \cdot \mu \cdot \mu_0 \cdot f}}, \quad (3)$$

где f – частота, l – длина, w – ширина, ρ – удельное сопротивление, t_{eff} – эффективная толщина проводника, t – физическая толщина проводника, δ – глубина скин-эффекта, μ , μ_0 – относительная магнитная проницаемость и магнитная проницаемость вакуума.

Сопротивление i -го слоя металлизации катушки индуктивности рассчитывается по формуле:

$$R_i = R_{\text{skin}}(w, l_{\text{ind}}, t_i, \rho_i, f), \quad (4)$$

где l_{ind} – полная длина проводника катушки, расчет которой зависит от формы катушки индуктивности, см. ф. (25), (26).

Сопротивление массива переходных отверстий рассчитывается по формулам:

$$R_{\text{via}}(w, l) = \frac{r_{\text{via}}}{N_{\text{via}}(w, l, a, b, c)}, \quad (5)$$

$$N_{\text{via}}(w, l, a, b, c) = \text{floor} \left[\left(\frac{w - 2 \cdot c + b}{a + b} \right) \cdot \left(\frac{l - 2 \cdot c + b}{a + b} \right) \right], \quad (6)$$

где функция $\text{floor}(X)$ возвращает округленное вниз значение X , r_{via} – сопротивление одного переходного отверстия, a – ширина переходного отверстия, b – минимальное расстояние между отверстиями, c – минимальное расстояние между отверстием и краем проводника, N_{via} – максимально возможное количество переходных отверстий на площади $w \cdot l$.

Для катушки, выполненной в нескольких параллельных слоях металлизаций, переходные отверстия располагаются по всей площади катушки кроме перемычек, поэтому рассчитать их сопротивление можно по формуле:

$$R_v = R_{\text{via}}(w, l_{\text{ind}} - l_{\text{jump}}), \quad (7)$$

где l_{jump} – суммарная длина перемычек катушки, определяемая по формуле (27).

Для катушки, выполненной в одном слое металлизации, переходные отверстия располагаются только вблизи перемычек, поэтому рассчитать их сопротивление для симметричных катушек можно по формуле:

$$R_{v_1} = (2 \cdot \text{ceil}(N - 1) + 4) \cdot R_{\text{via}}(w, w), \quad (8)$$

где N – количество витков, функция $\text{ceil}(X)$ округляет X вверх до целого значения.

Активное сопротивление катушки с учетом скин-эффекта и сопротивления переходных отверстий при использовании одного слоя металлизации рассчитывается по формуле (9), при $n_m \geq 2$ по формуле (10).

$$R_{\text{ind}} = R_1 + R_{v_1}, \quad (9)$$

$$\frac{1}{R_{\text{ind}}} = \frac{1}{R_1} + \sum_{i=1}^{n_m-1} \left(\frac{1}{R_{n-i} + R_v} \right). \quad (10)$$

Для более точного расчета паразитных емкостей необходимо учитывать краевые эффекты. Для учета краевых эффектов в данной работе будет использоваться формула Палмера [18], который аппроксимировал краевые эффекты плоского конденсатора методом Шварца–Кристоффеля для обкладок конечной длины и бесконечно малой толщины, см. ф. (11). Расчет по формуле Палмера имеет расхождение с результатом моделирования методом конечных элементов не более 1.3 %, при этом технологический разброс диэлектрической проницаемости SiO_2 может достигать более 5 %.

$$C_{\text{edge}}(w, l, h, \varepsilon) = \frac{\varepsilon \cdot \varepsilon_0 \cdot w \cdot l}{h} \cdot \left(1 + \frac{h}{\pi \cdot l} + \frac{h}{\pi \cdot l} \cdot \ln \left(\frac{2 \cdot \pi \cdot l}{h} \right) \right), \quad (11)$$

где w и l – ширина и длина обкладок конденсатора, h – расстояние между обкладками, ε – диэлектрическая проницаемость материала между обкладками, $\varepsilon_0 = 8.85 \cdot 10^{-12}$ – электрическая постоянная.

Емкость между катушкой индуктивности и подложкой рассчитывается по формуле:

$$C_{\text{ox}} = C_{\text{edge}}(w, l_{\text{ind}}, h_{n-n_{\text{ind}}}, \varepsilon_{\text{ox}}), \quad (12)$$

где n – общее количество слоев металлизации в технологическом процессе, n_{ind} – количество слоев металлизации, используемых в катушке индуктивности, h_i – толщина диэлектрика между i -м слоем металлизации и подложкой, ε_{ox} – диэлектрическая проницаемость SiO_2 .

Емкость между катушкой и заземленным экраном, выполненным в нижнем слое металлизации, можно рассчитать по формулам:

$$C_{\text{SHD}} = C_{\text{edge}}(w, l_{\text{ind}}, h_{\text{SHD}}, \varepsilon_{\text{ox}}), \quad (13)$$

$$h_{\text{SHD}} = h_{n-n_{\text{ind}}} - h_1 - t_1. \quad (14)$$

Для расчета емкости подложки с учетом скин-эффекта в публикациях [19–21] используется формула (15), полученная методом изображений. Тестовые измерения емкостей подложки показали, что формула (15) имеет большую погрешность только при площади проводника более 40000 мкм² [21]. При наличии металлизации с обратной стороны кристалла емкость подложки рассчитывается по формуле (11).

$$C_{\text{sub}} = \frac{\varepsilon_{\text{sub}} \cdot \varepsilon_0 \cdot w \cdot l_{\text{ind}}}{2 \cdot t_{\text{sub}} + \sqrt{\frac{w \cdot l_{\text{ind}}}{\pi}} - \sqrt{4 \cdot t_{\text{sub}}^2 + \frac{w \cdot l_{\text{ind}}}{\pi}}}, \quad (15)$$

где t_{sub} и ε_{sub} – толщина и диэлектрическая проницаемость подложки.

Сопротивление подложки находится по формуле времени диэлектрической релаксации τ [19–21]:

$$R_{\text{sub}} = \frac{\tau}{C_{\text{sub}}} = \frac{\rho_{\text{sub}} \cdot \varepsilon_{\text{sub}} \cdot \varepsilon_0}{C_{\text{sub}}}. \quad (16)$$

где ρ_{sub} – удельное сопротивление подложки.

Согласно исследованиям, опубликованным в [22–23], симметричные катушки индуктивности имеют большую добротность относительно спиральных катушек. Поэтому в данной работе рассматриваются симметричные восьмиугольные катушки.

В литературе представлено множество формул расчета индуктивности планарных катушек [24–27], такие как формула Уиллера; формулы, основанные на аппроксимации плотности тока; формулы, полученные в результате аппроксимации экспериментальных образцов. Недостаток этих формул заключается в том, что они узкоприменимы и имеют большие погрешности. Наиболее точным методом расчета индуктивности является метод, заключающийся в разбиении катушки на прямоугольные сегменты и нахождении всех собственных и взаимных индуктивностей [28–31]. С увеличением количества витков трудоемкость расчетов возрастает в геометрической прогрессии. Для упрощения вычислений без потери точности предлагается использовать модернизированный метод, который состоит из трех этапов:

- 1) разбиение топологии катушки на части: неполные витки, полные витки, выводы;
- 2) расчет полной индуктивности каждой части путем разбиения на прямоугольные сегменты и нахождение всех собственных и взаимных индуктивностей;
- 3) расчет взаимной индуктивности каждой части со всеми остальными.

На рис. 4 представлено разбиение планарных симметричных восьмиугольных катушек индуктивности на части согласно предложенному методу. Для обеспечения минимальной длины проводников между сосредоточенными элементами синтезируемых фильтров расположение выводов у катушки индуктивности может быть двух видов: с одной стороны и с противоположных сторон.

Для обеспечения максимальной симметрии катушки индуктивности с расположением выводов с одной стороны и количеством витков от 3 и более переходы между витками располагаются в том числе между выводами. Следовательно, минимальный зазор между выводами катушки индуктивности зависит от количества витков и рассчитывается по формуле:

$$s_{io} = \begin{cases} s_{min} & \text{при } N \leq 2 \\ 5 \cdot w + 3 \cdot s_{min} + 2 \cdot s_{min} \cdot \tan\left(\frac{\pi}{8}\right) & \text{при } N \geq 3 \end{cases}, \quad (17)$$

где s_{min} – минимальный зазор между проводниками.

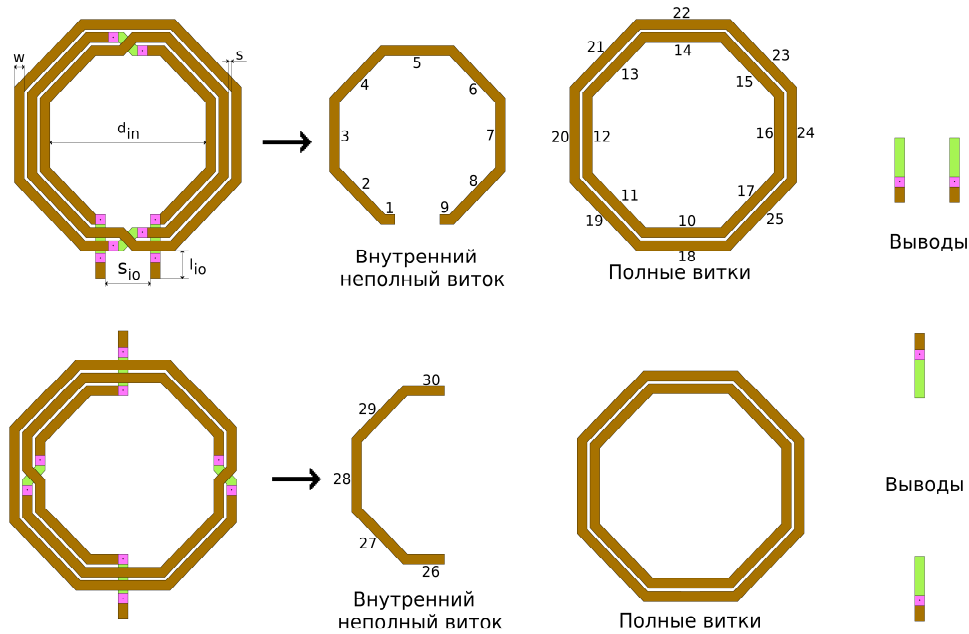


Рис. 4. Разбиение интегральных восьмиугольных симметричных катушек индуктивности на части

Собственную индуктивность прямого проводника прямоугольного сечения можно найти по известной формуле (18) [28–31], а толщину сегментов катушки – по формуле (19):

$$L_s(w, l, t) = \frac{\mu_0 \cdot l}{2 \cdot \pi} \cdot \left[\ln\left(\frac{2 \cdot l}{w + t}\right) + 0.50049 + \frac{w + t}{3 \cdot l} \right], \quad (18)$$

$$t_{ind} = \sum_{i=n-n_{ind}+1}^n (t_i) + \sum_{i=n-n_{ind}+2}^n (h_i - h_{i-1} - t_{i-1}), \quad (19)$$

где t_i и h_i – толщина и высота относительно подложки i -го слоя металлизации.

Внутренний диаметр i -го витка катушки (первый виток – внутренний) можно найти по формуле:

$$d_{in_i}(i) = d_{in} + 2 \cdot (i-1) \cdot (w + s). \quad (20)$$

Длину основных сегментов i -го витка (сегменты 2–8, 10–25, 27–29 на рис. 4) можно найти по формуле окружности, вписанной в восьмиугольник:

$$l_{\text{seg}}(i) = (d_{\text{in}_i}(i) + w) \cdot \tan\left(\frac{\pi}{8}\right). \quad (21)$$

Длину коротких сегментов внутреннего неполного витка для катушки с расположением выводов с одной стороны (1, 9 на рис. 4) можно найти по формуле (22), а при расположении выводов с разных сторон (сегменты 26, 30) – по формуле (23):

$$l_{\text{sh_par}} = \frac{l_{\text{seg}}(1) - s_{\text{io}}}{2}, \quad (22)$$

$$l_{\text{sh_ser}} = \frac{l_{\text{seg}}(1)}{2}. \quad (23)$$

Полную длину вывода можно найти по формуле:

$$l_{\text{io_full}} = l_{\text{io}} + w + \text{ceil}(N-1) \cdot (w + s). \quad (24)$$

Длина проводника восьмиугольной симметричной катушки индуктивности с расположением выводов с одной стороны рассчитывается по формуле (25), с разных сторон – по формуле (26), суммарная длина перемычек – по формуле (27):

$$l_{\text{ind_par}} = 7 \cdot l_{\text{seg}}(1) + 2 \cdot l_{\text{sh_par}} + 2 \cdot l_{\text{io_full}} + \sum_{i=2}^N (8 \cdot l_{\text{seg}}(i)), \quad (25)$$

$$l_{\text{ind_ser}} = 3 \cdot l_{\text{seg}}(1) + 2 \cdot l_{\text{sh_ser}} + 2 \cdot l_{\text{io_full}} + \sum_{i=2}^{\text{ceil}(N)} (8 \cdot l_{\text{seg}}(i)), \quad (26)$$

$$l_{\text{jump}} = 2 \cdot \text{ceil}(N-1) \cdot \left(3 \cdot w + 4 \cdot s + 2 \cdot s \cdot \tan\left(\frac{\pi}{8}\right) \right) + 2 \cdot s. \quad (27)$$

Паразитная емкость C_{ind} для катушки с выводами с разных сторон будет ограничиваться емкостью между перемычками:

$$C_{\text{ind_ser}} = 3 \cdot \text{ceil}(N-1) \cdot C_{\text{edge}}(w, w, t_{\text{MM}}, \epsilon_{\text{ox}}), \quad (28)$$

где t_{MM} – толщина диэлектрика между двумя верхними слоями металлизации:

$$t_{\text{MM}} = h_n - h_{n-1} - t_{n-1}. \quad (29)$$

Для катушки с выводами с одной стороны паразитная емкость C_{ind} будет включать в себя и емкость между параллельными выводами:

$$C_{\text{ind_par}} = C_{\text{ind_pos}} + C_{\text{edge}}(t_{\text{ind}}, l_{\text{io_full}}, s_{\text{io}}, \epsilon_{\text{ox}}). \quad (30)$$

На рис. 5 представлены варианты взаимного расположения сегментов катушки [28–31] (w – ширины сегментов, l и m – длины сегментов, d – расстояние между сегментами, φ – угол между сегментами, y – расстояние между концами сегментов, p, q, x, u, v, e – смещения).

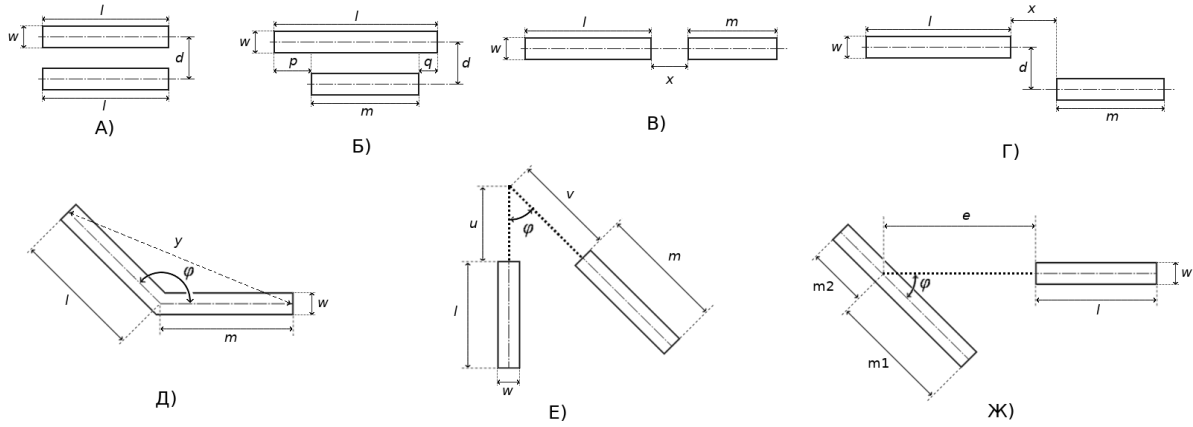


Рис. 5. Варианты взаимного расположения сегментов восьмиугольных катушек

Для случая параллельного расположения сегментов одинаковой длины без смещения (рис. 5а) взаимная индуктивность будет рассчитываться по формуле (31) [28–31]. Примером такого расположения являются сегменты одного полного витка (рис. 4).

$$M(w, l, d) = \frac{\mu_0}{2 \cdot \pi} \cdot l \cdot Q(w, l, d), \quad (31)$$

где $Q(w, l, d)$ – параметр взаимной индуктивности, характеризующий удельную взаимную индуктивность на единицу длины проводника:

$$Q(w, l, d) = \ln \left[\frac{l}{\text{GMD}(w, d)} + \sqrt{1 + \left(\frac{l}{\text{GMD}(w, d)} \right)^2} \right] - \sqrt{1 + \left(\frac{\text{GMD}(w, d)}{l} \right)^2} + \frac{\text{GMD}(w, d)}{l}, \quad (32)$$

где $\text{GMD}(w, d)$ – среднегеометрическое расстояние между сегментами:

$$\text{GMD}(w, d) = \exp \left[\ln(d) - \frac{w^2}{12 \cdot d^2} - \frac{w^4}{60 \cdot d^4} - \frac{w^6}{168 \cdot d^6} - \frac{w^8}{360 \cdot d^8} - \frac{w^{10}}{660 \cdot d^{10}} \right]. \quad (33)$$

Для случая параллельного расположения проводников разной длины со смещениями (рис. 5б) взаимная индуктивность рассчитывается по формуле (34). Примером такого расположения являются сегменты внутреннего витка 1 и 5 на рис. 4.

$$M_{\text{dt}}(w, l, m, d, p, q) = \frac{M(w, m + p, d) + M(w, m + q, d) - M(w, p, d) - M(w, q, d)}{2}. \quad (34)$$

В случае, когда смещения p и q равны, взаимную индуктивность параллельных сегментов разной длины можно найти по формуле (35). Примером данного расположения являются сегменты разных витков (например, сегменты 12 и 20 на рис. 4).

$$M_{\text{dts}}(w, l, m, d) = M\left(w, \frac{l+m}{2}, d\right) - M\left(w, \frac{|l-m|}{2}, d\right). \quad (35)$$

Для случая расположения сегментов на одной линии со смещением (рис. 5в) взаимная индуктивность рассчитывается по формуле (36). Пример такого расположения – это короткие сегменты внутреннего витка (1 и 9 на рис. 4) или выводы, расположенные с разных сторон катушки.

$$M_{\text{ol}}(w, l, m, x) = M_{\text{dts}}\left(w, l, m, x + \frac{l+m}{2}\right). \quad (36)$$

Для случая, изображенного на рис. 5г, взаимная индуктивность будет рассчитываться по формуле (37). Примером такого расположения является взаимное расположение выводов и сегментов витков (3, 7, 12, 16, 20, 24 на рис. 4).

$$M_{\text{olx}}(w, l, m, d, x) = \frac{M(w, l + m + x, d) + M(w, x, d) - M(w, l + x, d) - M(w, m + x, d)}{2}. \quad (37)$$

Для случая, изображенного на рис. 5д, когда сегменты соединены одним из концов (например, сегменты 2 и 3 на рис. 4), взаимная индуктивность этих сегментов рассчитывается по формулам:

$$M_{\text{oe}}(l, m, \phi) = \frac{\mu_0 \cdot \cos(\phi)}{2 \cdot \pi} \cdot \left[l \cdot \operatorname{atanh}\left(\frac{m}{l + y(l, m, \phi)}\right) + m \cdot \operatorname{atanh}\left(\frac{l}{m + y(l, m, \phi)}\right) \right], \quad (38)$$

$$y(l, m, \phi) = \sqrt{l^2 + m^2 - 2 \cdot l \cdot m \cdot \cos(\phi)}. \quad (39)$$

Для взаимного расположения, изображенного на рис. 5е, когда точка пересечения находится за пределами двух сегментов (например, сегменты 3 и 6 на рис. 4), взаимная индуктивность рассчитывается по формуле:

$$M_{\text{ots}}(l, m, \phi, u, v) = 2 \cdot \cos(\phi) \cdot [M_{\text{oe}}(l + u, m + v, \phi) + M_{\text{oe}}(u, v, \phi) - M_{\text{oe}}(l + u, v, \phi) - M_{\text{oe}}(u, m + v, \phi)]. \quad (40)$$

При взаимном расположении с точкой пересечения на одном из сегментов (например, сегменты 10 и 19 на рис. 4), изображенном на рис. 5ж, взаимная индуктивность сегментов рассчитывается по формуле:

$$M_{\text{aos}}(l, m1, m2, \phi, e) = M_{\text{ots}}(l, m1, \phi, 0, e) + M_{\text{ots}}(l, m2, \phi, 0, e). \quad (41)$$

3. Верификация моделей катушек индуктивности

Для верификации разработанных моделей катушек индуктивности была разработана модель ранее произведенного полосового фильтра с частотами среза 14 ГГц и 18 ГГц («ПФ 14–18 ГГц»). Микрофотография экспериментального образца «ПФ 14–18 ГГц», выполненного в технологическом процессе SiGe 130 нм, представлена на рис. 6.

Результаты измерений экспериментального образца, симуляции разработанной модели фильтра в крайних точках технологического процесса, результаты 2.5D-моделирования в виде АЧХ приведены на рис. 7 и в табл. 1. 2.5D-моделирование выполнено в САПР Cadence Virtuoso. Оно заключается в моделировании эквивалентной электрической схемы, полученной путем экстракции топологического описания с помощью ПО Assura Physical Verification (интегрируется в Cadence Virtuoso) по правилам, предоставляемым заводом-изготовителем.

2.5D-моделирование является стандартным способом проверки характеристик интегральных микросхем типа СнК в кремниевых (Si) и кремний-германиевых (SiGe) технологических процессах.

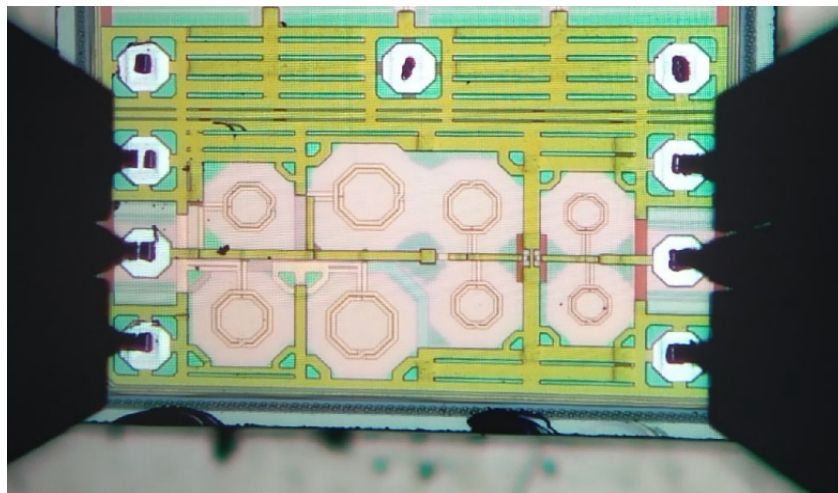


Рис. 6. Микрофотография экспериментального образца «ПФ 14–18 ГГц»

Измерения характеристик экспериментальных образцов осуществлялись с помощью зондовой станции MPI TS200 и анализатора спектра ZVA-40. Перед измерениями микросхем измерительная установка проходила калибровку на специализированных калибровочных пластинах.

Результаты 2.5D-моделирования значительно отличаются от результатов измерений во всех параметрах: по ослаблению в полосе пропускания, частотам среза, крутизне АЧХ. Результаты измерений находятся в диапазоне технологического разброса разработанной модели фильтра на частотах 13–27 ГГц. Незначительные различия в полосах задерживания на частотах 10–13 ГГц и 27–34 ГГц вызваны паразитными сопротивлениями проводников общего вывода, которые не учитываются в модели фильтра.

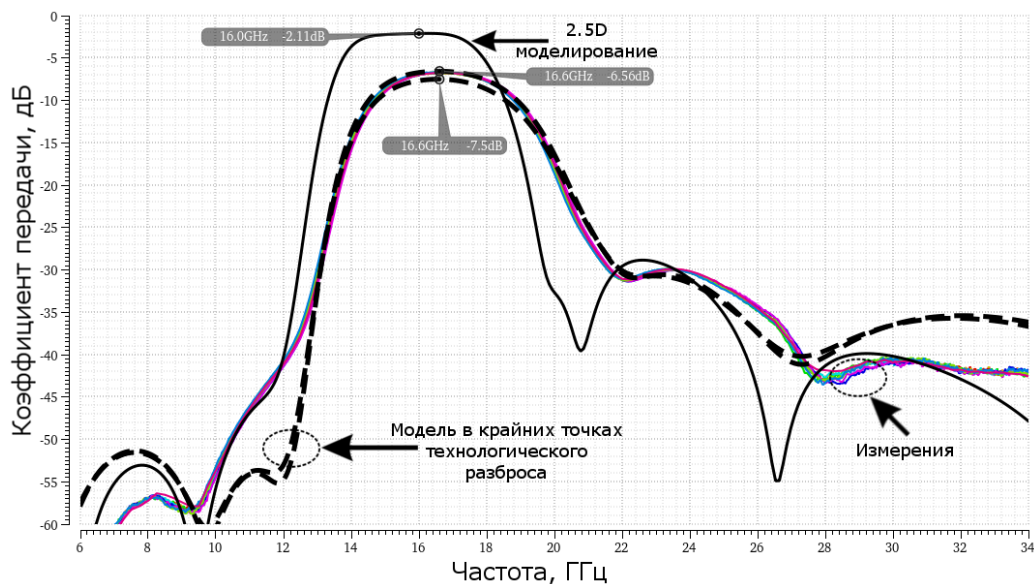


Рис. 7. АЧХ «ПФ 14–18 ГГц»

Разработанные модели интегральных катушек индуктивности отражают характеристики реальных катушек в экспериментальных образцах фильтров.

Таблица 1. Сравнительные характеристики «ПФ 14–18 ГГц»

Характеристика	2.5D-моделирование	Симуляция разработанной модели	Измерения экспериментального образца
Минимальное ослабление в полосе пропускания, дБ	2.1	6.6 – 7.5	6.7 – 6.9
Частота среза 1, ГГц	13.7	14.6 – 14.7	14.5 – 14.8
Частота среза 2, ГГц	17.9	18.6 – 18.8	18.9 – 19.1
Ослабление на частоте 11 ГГц, дБ	46.8	53.8 – 54.0	45.9 – 46.3
Ослабление на частоте 21 ГГц, дБ	37.1	24.9 – 25.0	26.1 – 27.0

4. Алгоритм оптимизации

Разработанный алгоритм оптимизации топологии катушки индуктивности по критерию получения максимальной добротности на требуемой частоте представлен на рис. 8, расшифровки обозначений сведены в табл. 2. Оптимизация производится на основе верифицированных разработанных моделей катушек индуктивности, которые учитывают характеристики технологического процесса и основные физические эффекты.

В блоке «А» рассчитывается топология катушки индуктивности с номиналом, равным заданному, с максимальным количеством витков с заданной шириной витка и количеством используемых слоев металлизаций. Это позволяет рассчитать топологию катушки с максимальной плотностью витков, следовательно, максимальной индуктивностью на единицу площади для заданного номинала, ширины витков и количества используемых слоев металлизаций.

В блоке «Б» рассчитывается оптимальная ширина витка и количество используемых слоев металлизаций для катушки без экранирования и без травления подложки.

В блоке «В» рассчитывается оптимальная ширина витка и количество используемых слоев металлизаций для катушки с заземленным экраном в нижнем слое металлизации.

В блоке «Г» рассчитывается оптимальная ширина витка и количество используемых слоев металлизации для катушки с травлением подложки под катушкой.

Разработанный алгоритм позволяет сбалансировать минимизацию активного сопротивления катушки и минимизацию влияния подложки (баланс между шириной витка и количеством используемых слоев металлизации), в результате чего можно получить оптимальную топологию катушки индуктивности по критерию максимальной добротности на требуемой частоте. Также алгоритм решает задачу определения необходимости и целесообразности использования таких методов увеличения добротности катушек, как экранирование или травление подложки под катушками индуктивности. При этом использование верифицированных в кремнии разработанных моделей планарных интегральных катушек индуктивности позволяет учесть все характеристики технологического процесса, влияющие на индуктивность и добротность реальных катушек индуктивности.

Программная реализация разработанного алгоритма выполнена в ПО Mathcad, что позволило полностью автоматизировать оптимизацию катушек.

Таблица 2. Расшифровка обозначений

Обозначение	Расшифровка	Единицы измерения
L	Заданный номинал индуктивности	Гн
l_{io}	Длина выводов	м
io_type	Расположение выводов: “Par” – с одной стороны катушки, “Ser” – с разных сторон.	-
f	Частота	Гц
w	Ширина витка	м
s	Зазор между витками	м
s_{min}	Минимальный зазор между проводниками	
d_{in}	Внутренний диаметр	м
N	Количество витков	шт
w_{min}	Минимальная ширина проводников	м
w_{max}	Максимальная ширина проводников	м
min_step	Минимальный шаг изменения ширины и длины проводников	м
n	Количество слоев металлизации в технологическом процессе	шт
n_m	Оптимальное количество слоев металлизации для катушки индуктивности	шт
Sub_etch	Возможность применения травления подложки (“Yes”, “No”)	-
$Shields$	Возможность использования экранирования (“On”, “Off”)	-
EN	Наличие (“SHD”) или отсутствие (“No SHD”) экрана под катушкой, травление подложки под катушкой (“SUB_ETCH”).	-
L_{ind}	Рассчитанный номинал индуктивности по предложенному методу	Гн
Q	Добротность катушки	-

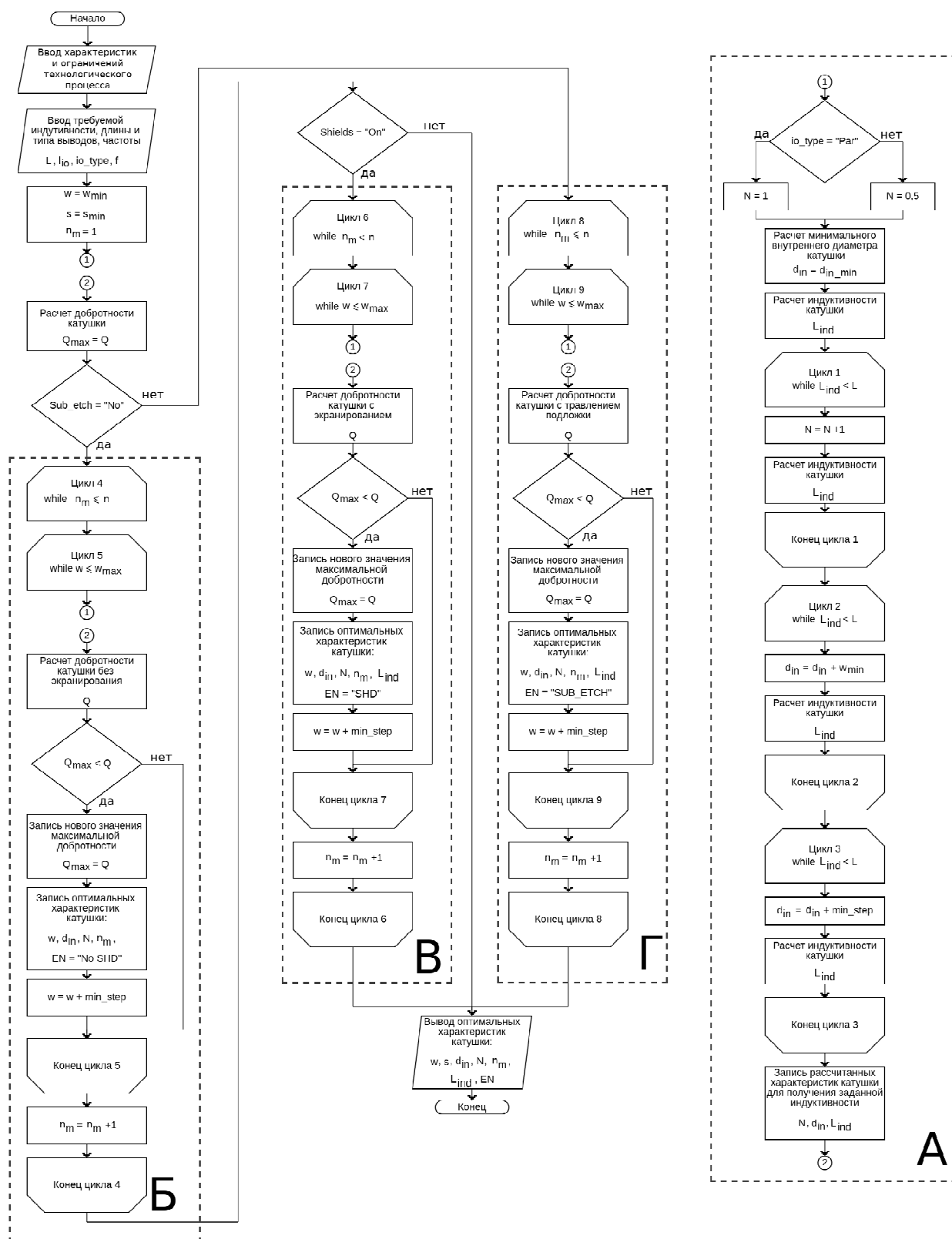


Рис. 8. Алгоритм оптимизации интегральных катушек индуктивности

5. Синтезированный фильтр с оптимизированными катушками индуктивности

Для оценки влияния оптимизации катушек на АЧХ фильтров был синтезирован оптимальный «ПФ 14–18 ГГц». Катушки индуктивности были оптимизированы по предложенному алгоритму, в котором использовалась верифицированная на реальных образцах модель катушек индуктивности. Используемый технологический процесс – SiGe 130 нм. Результаты моделирования синтезированного фильтра с оптимизированными топологиями катушек индуктивности и результаты измерений экспериментальных образцов фильтров, разработанных с помощью стандартных топологий катушек, представлены на рис. 9 и в табл. 3. Так как модели катушек индуктивности верифицированы, то результаты моделирования синтезированного оптимального фильтра будут соответствовать результатам измерений изготовленных образцов оптимального фильтра.

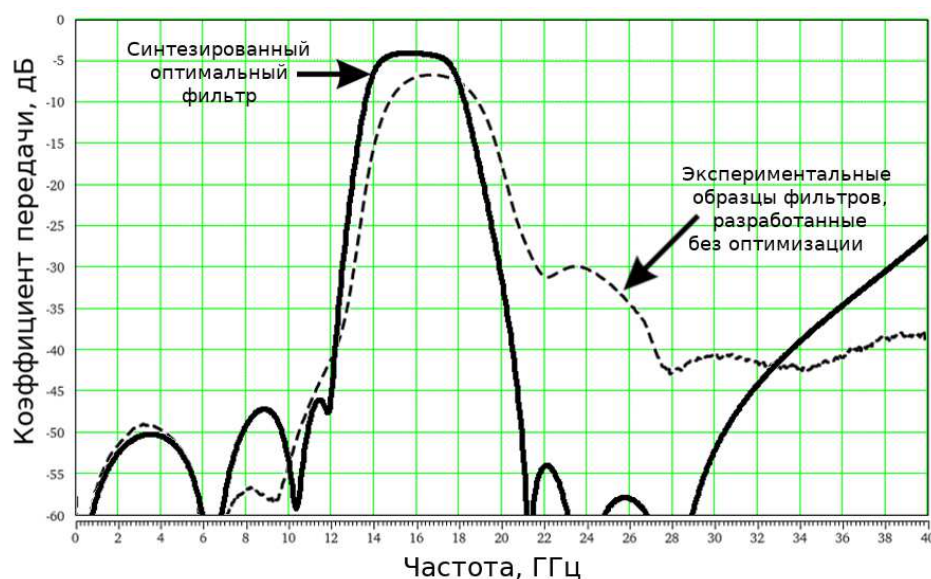


Рис. 9. АЧХ «ПФ 14–18 ГГц»

Таблица 3. Сравнительные характеристики «ПФ 14–18 ГГц»

Характеристика	Симуляция синтезированного фильтра	Измерения экспериментального образца
Минимальное ослабление в полосе пропускания, дБ	4.0 – 4.4	6.7 – 6.9
Частота среза 1, ГГц	13.96 – 13.98	14.5 – 14.8
Частота среза 2, ГГц	17.96 – 18.02	18.9 – 19.1
Ослабление на частоте 11 ГГц, дБ	44.4 – 44.9	45.9 – 46.3
Крутизна фронта АЧХ, дБ/дек	325 – 329	271 – 273
Ослабление на частоте 21 ГГц, дБ	49.3 – 51.0	26.1 – 27.0
Крутизна спада АЧХ, дБ/дек	397 – 411	149 – 154
Занимаемая площадь, мм ²	0.44	0.29

Видно, что фильтр с оптимальными катушками имеет потери в полосе пропускания на 2.5–2.7 дБ меньше, крутизну фронта АЧХ на 54–56 дБ/дек больше, крутизну среза АЧХ на 248–267 дБ/дек больше, чем фильтр, разработанный без оптимизации катушек индуктивности. Также видно, что синтезированный фильтр с оптимальными катушками имеет на порядок меньший разброс частот среза в крайних точках технологического разброса, что значительно повышает повторяемость характеристик производимых фильтров.

6. Заключение

Предложены верифицированные в кремнии модели интегральных планарных симметричных восьмиугольных катушек индуктивности, в которых учитываются все характеристики технологического процесса, влияющие на индуктивность и добротность катушек, а также учитываются такие методы повышения добротности, как экранирование и травление подложки. Индуктивность катушек в моделях рассчитывается по предложенному методу, что позволяет уменьшить количество вычислений без потери точности.

На основе предложенных моделей разработан алгоритм оптимизации топологий катушек индуктивности по критерию получения максимальной добротности на требуемой частоте. Алгоритм реализован в качестве программы в ПО Mathcad. Это позволило автоматизировать оптимизацию катушек индуктивности и сократить время оптимизации до десятков секунд.

Выявлено, что использование предложенного алгоритма оптимизации катушек для синтеза СВЧ-фильтров позволяет уменьшить потери в полосе пропускания и увеличить крутизны АЧХ фильтров. В синтезированном «ПФ 14–18 ГГц» с оптимальными катушками индуктивности по сравнению с фильтром, разработанным без оптимизации катушек, уменьшились потери в полосе пропускания на 2.5 – 2.7 дБ, увеличилась крутизна фронта АЧХ на 54 – 56 дБ/дек, увеличилась крутизна среза АЧХ на 248 – 267 дБ/дек.

Литература

1. *Hsiao-Bin Liang, Yo-Sheng Lin, Chi-Chen Chen, Jen-How Lee.* Optimization of PGS Pattern of Transformers/Inductors in Standard RF BiCMOS Technology for RFIC Applications // Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symposium. CA, USA, 2006. 4 p.
2. *Royet A. S., Barbé J. C., Valorge O., Rémy L., Constant I.* Experimental and Simulation Results on Si Integrated Inductor Efficiency for Smart RF-ICs // Proc. 21st IEEE Int. Conf. on Electronics, Circuits and Systems (ICECS). Marseille, France, 2014. P. 368–370.
3. *Jinglin Shi, W.-Y. Yin, Huailin Liao, Jun-Fa Mao.* The Enhancement of Q Factor for Patterned Ground Shield Inductors at High Temperatures // IEEE Transactions on Magnetics. 2006. V. 42, Is. 7. P. 1873–1875.
4. *Zhiqiang Zhang, Xiaoping Liao.* Micromachined GaAs MMIC-Based Spiral Inductors with Metal Shores and Patterned Ground Shields // IEEE Sensors Journal. 2012. V. 12, Is. 6. P. 1853–1860.
5. *Mehmet Kaynak, Falk Korndorfer, Christian Wipf, Rene Scholz, Bernd Tillack, Wan-Gyu Lee, Young Soo Kim, Jung Jae Yoo.* High-Q passives for mm-wave SiGe applications // IEEE Bipolar/BiCMOS Circuits and Technology Meeting. Capri, Italy, 2009. P. 194–197.
6. *Lopez-Villegas J. M., Samitier J., Cane C., Losantos P., Bausells J.* Improvement of the Quality Factor of RF Integrated Inductors by Layout Optimization // IEEE Transactions on Microwave Theory and Techniques. 2000. V. 48, Is. 1. P. 76–83.
7. *Korndörfer F., Kaynak M., Mühlhaus V.* Simulation and Measurement of Back Side Etched Inductors // Proc. 5th European Microwave Integrated Circuits Conference. Paris, France, 2010. 3 p.
8. *Esteban-Muller J., González-Echevarría R., Sánchez-López C., Roca E., Castro-López R., Fernández F.V., López-Villegas J.M.* Multi-Objective Mixed-Integer Design Optimization of Planar Inductors Using Surrogate Modeling Techniques // Proc. XIth International Workshop on Symbolic and Numerical Methods, Modeling and Applications to Circuit Design (SM2ACD). Gammarth, Tunisia, 2010. P. 1632–1634.
9. *Păcurar C., Țopa V., Munteanu C., Racasan A., Hebedean C.* Spiral Inductors Inductance Computation and Layout Optimization // Proc. International Conference and Exposition on Electrical and Power Engineering. Iasi, Romania, 2012. P. 699–704.

10. Yu W., Bandler J. W. Optimization of Spiral Inductor on Silicon using Space Mapping // IEEE MTT-S International Microwave Symposium Digest. CA, USA, 2006. P. 1085–1088.
11. Passos F., Roca E., Castro-López R., Fernández F. V. SIDE-O: A Toolbox for Surrogate Inductor Design and Optimization // Proc. 13th Int. Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD). Lisbon, Portugal, 2016. 4 p.
12. Raghunadh M V, Abhay Narasimha K S. Geometry Optimization of Planar Spiral Inductors operating at 5G mid-band frequencies // Proc. IEEE International Conference for Innovation in Technology (INOCON). Bangluru, India, 2020. 8 p.
13. Passos F., Fino M. H., and Moreno E. R. Fully Analytical Characterization of the Series Inductance of Tapered Integrated Inductors // International Journal of Electronics and Telecommunications. 2014. V. 60, Is. 1. P. 73–77.
14. Hua-Qing Xiao, Xiang-Zheng Xiong, and Cheng Liao. Contrast on Performances of Different Planar Pattern RFIC Spiral Inductors with Equal Perimeter // IEEE MTT-S International Microwave Workshop Series on Art of Miniaturizing RF and Microwave Passive Components. Chengdu, China, 2008. P. 194–196.
15. Ruehli A. E., Antonini G., Jiang L. Skin-Effect Model for Round Wires in PEEC // Proc. Int. Symposium on Electromagnetic Compatibility (EMC EUROPE). Rome, Italy, 2012. P. 6.
16. Ren-Jia Chan, Jyh-Chyurn Guo. Analysis and Modeling of Skin and Proximity Effects for Millimeter-Wave Inductors Design in Nanoscale Si CMOS // Proc. 9th European Microwave Integrated Circuit Conference. Rome, Italy, 2014. P. 13–16.
17. Rotella F.M., Blaschke V., Howard D. A Broad-Band Scalable Lumped-Element Inductor Model Using Analytic Expressions to Incorporate Skin Effect, Substrate Loss, and Proximity Effect // Digest. International Electron Devices Meeting, San Francisco, CA, USA, 2002. P. 471–474.
18. Elsaadi M., Tayel M. B., Steenson D. P. An Empirical Formula of Fringing Field Capacitance for MEMS Tunable Capacitor Actuators // IEEE 1st International Maghreb Meeting of the Conference on Sciences and Techniques of Automatic Control and Computer Engineering MI-STA, Tripoli, Libya, 2021. P. 674–678.
19. Goni A., del Pino J., Gonzalez B., Hernandez A. An Analytical Model of Electric Substrate Losses for Planar Spiral Inductors on Silicon // IEEE Transactions on Electron Devices. 2007. V. 54, Is. 3. P. 546–553.
20. Sathyasree J., Vanukuru V., Nair D. R., Chakravorty A. A Substrate Model for On-Chip Tapered Spiral Inductors with Forward and Reverse Excitations // IEEE Transactions on Electron Devices. 2019. V. 66, Is. 1. P. 4.
21. Sathyasree J., Vanukuru V., Nair D. R., Chakravorty A. Compact Modeling of Series Stacked Tapered Spiral Inductors // Proc. IEEE 19th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), Orlando, FL, USA, 2019. P. 3.
22. Danesh M., Long J. R. Differentially Driven Symmetric Microstrip Inductors // IEEE Transactions on Microwave Theory and Techniques. 2002. V. 50, Is. 1. P. 332–341.
23. Chen J., Liou J. J. Improved and Physics-Based Model for Symmetrical Spiral Inductors // IEEE Transactions on Electron Devices. 2006. V. 53, Is. 6. P. 1300–1309.
24. Fino M. H. Using an Integrated Inductor Model in Qucs // Proc. 21st International Conference Mixed Design of Integrated Circuits and Systems (MIXDES), Lublin, Poland, 2014. P. 66–69.
25. Zolog M., Pitica D., Pop O. Characterization of Spiral Planar Inductors Built on Printed Circuit Boards // Proc. 30th International Spring Seminar on Electronics Technology (ISSE), Cluj-Napoca, Romania, 2007. P. 308–313.
26. Bo Han, Zhijian Tian, Daimu Wang. Analysis of Scalable Two-p Equivalent-Circuit Model for On-Chip Spiral Inductors // International Journal of RF and Microwave Computer-Aided Engineering. 2015. V. 25, № 2. P. 93–100.
27. Mohan S. S., del Mar Hershenson M., Boyd S. P., Lee T. H. Simple Accurate Expressions for Planar Spiral Inductances // IEEE Journal of Solid-State Circuits. 1999. V. 34, Is. 10. P. 1419–1424.

28. Koutsoyannopoulos Y. K., Papananos Y. Systematic Analysis and Modeling of Integrated Inductors and Transformers in RF IC Design // IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing. 2000. V. 47, Is. 8. P. 699–713.
29. Chen J., Liou J.J. On-Chip Spiral Inductors for RF Applications: An Overview // Journal of Semiconductor Technology and Science. 2004. P. 149–167.
30. Shaltout A. H., Gregori S. Optimizing the Inductance Time-Constant Ratio of Polygonal Integrated Inductors // Proc. IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS). Windsor, ON, Canada, 2018. P. 448–451.
31. Heng-Ming Hsu, Jen-Zien Chang, Hung-Chi Chien. Coupling Effect of On-Chip Inductor with Variable Metal Width // IEEE Microwave and Wireless Components Letters. 2007. V. 17, Is. 7, P. 498–500.

Ерохин Виктор Валерьевич

Научный сотрудник НИИРП НИЛ «Системы на кристалле» Омского государственного технического университета, e-mail: viktor_erohin@mail.ru, ORCID ID: 0000-0002-2520-1330.

Завьялов Сергей Анатольевич

к.т.н, старший научный сотрудник НИИРП НИЛ «Системы на кристалле» Омского государственного технического университета (ОмГТУ, 644050, Омск, пр. Мира 11), ORCID ID: 0000-0001-5114-2074.

Авторы прочитали и одобрили окончательный вариант рукописи.

Авторы заявляют об отсутствии конфликта интересов.

Вклад соавторов: Каждый автор внес равную долю участия как во все этапы проводимого теоретического исследования, так и при написании разделов данной статьи.

Integrated Inductor Layout Optimization for Synthesis of Microwave LC-Filters in Si/SiGe/GaAs Systems on a Chip

Viktor V. Erokhin, Sergey A. Zavyalov

Omsk State Technical University (OmSTU)

Abstract: The paper proposes models of planar symmetric octagonal inductors that differ in the method of inductance calculating and consideration of the structure and characteristics of the technological process. The equations in a closed form for calculating models of integral planar inductors of various configurations are derived. The models were verified by comparing the frequency response of the developed 14-18 GHz bandpass filter model with the frequency response of experimental samples produced in the SiGe 130 nm process. The AFC of the produced filter samples is in the range of the developed filter model AFCs at the extreme points of the manufacturing tolerance. The developed algorithm of optimization for integral planar inductors layouts according to the criterion of maximum quality factor at the required frequency is presented. The use of the developed algorithm for integral planar inductors layouts optimization makes it possible to synthesize integrated LC-filters in Si, SiGe and GaAs technological processes with minimal passband losses and maximum gain slopes. The optimization algorithm is implemented as the program in the MathCad software. The optimal inductor layout calculation according to the criterion of maximum quality factor in the program takes tens of seconds - a few minutes depending on the technological process structure complexity.

Keywords: SoC, LC-filter, Si, SiGe, GaAs, inductor model, skin-effect, edge-effect.

For citation: Erokhin V. V., Zavyalov S. A. Integrated Inductor Layout Optimization for Synthesis of Microwave LC-Filters in Si/SiGe/GaAs Systems on a Chip (in Russian). *Vestnik SibGUTI*, 2023, vol. 17, no. 3, pp. 87-105. <https://doi.org/10.55648/1998-6920-2023-17-3-87-105>



Content is available under the license
Creative Commons Attribution 4.0
License

© Erokhin V. V., Zavyalov S. A., 2023

The article was submitted: 05.04.2023;
revised version: 26.04.2023;
accepted for publication 27.04.2023.

References

1. Hsiao-Bin Liang, Yo-Sheng Lin, Chi-Chen Chen, Jen-How Lee. Optimization of PGS Pattern of Transformers/Inductors in Standard RF BiCMOS Technology for RFIC Applications. *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, CA, USA, 2006. p 4.
2. A. S. Royet, J. C. Barbé, O. Valorge, L. Rémy, I. Constant. Experimental and Simulation Results on Si Integrated Inductor Efficiency for Smart RF-ICs. *21st IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, Marseille, France, 2014, pp. 368-370.
3. Jinglin Shi, W.-Y. Yin, Huailin Liao, Jun-Fa Mao. The Enhancement of Q Factor for Patterned Ground Shield Inductors at High Temperatures. *IEEE Transactions on Magnetics*, vol. 42, iss. 7, 2006, pp. 1873-1875.
4. Zhiqiang Zhang, Xiaoping Liao. Micromachined GaAs MMIC-Based Spiral Inductors With Metal Shores and Patterned Ground Shields. *IEEE Sensors Journal*, vol. 12, iss. 6, 2012, pp. 1853-1860.
5. Mehmet Kaynak, Falk Korndorfer, Christian Wipf, Rene Scholz, Bernd Tillack, Wan-Gyu Lee, Young Soo Kim, Jung Jae Yoo. High-Q passives for mm-wave SiGe applications. *IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, Capri, Italy, 2009, pp. 194-197.
6. J. M. Lopez-Villegas, J. Samitier, C. Cane, P. Losantos, J. Bausells. Improvement of the Quality Factor of RF Integrated Inductors by Layout Optimization. *IEEE Transactions on Microwave Theory and Techniques*, vol. 48, iss. 1, 2000, pp. 76-83.
7. Falk Korndörfer, Mehmet Kaynak, Volker Mühlhaus. Simulation and Measurement of Back Side Etched Inductors. *The 5th European Microwave Integrated Circuits Conf.*, Paris, France, 2010. p. 3.
8. J. Esteban-Muller, R. González-Echevarría, C. Sánchez-López, E. Roca, R. Castro-López, F.V. Fernández, J.M. López-Villegas. Multi-Objective Mixed-Integer Design Optimization of Planar Inductors Using Surrogate Modeling Techniques. *XIth Int. Workshop on Symbolic and Numerical Methods, Modeling and Applications to Circuit Design (SM2ACD)*, Gammarth, Tunisia, 2010, pp. 1632-1634.
9. Claudia Păcurar, Vasile Țopa, Caliri Munteanu, Adina Racasan. Claudia Hebedean. Spiral Inductors Inductance Computation and Layout Optimization. *International Conference and Exposition on Electrical and Power Engineering*, Iasi, Romania, 2012, pp. 699-704.
10. Wenhuan Yu, John W. Bandler. Optimization of Spiral Inductor on Silicon using Space Mapping. *IEEE MTT-S International Microwave Symposium Digest*, CA, USA, 2006, pp. 1085-1088.
11. F. Passos, E. Roca, R. Castro-López, F. V. Fernández. SDe-O: A Toolbox for Surrogate Inductor Design and Optimization. *13th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, Lisbon, Portugal, 2016, p. 4.
12. Raghunadh M V, Abhay Narasimha K S. Geometry Optimization of Planar Spiral Inductors operating at 5G mid-band frequencies. *IEEE Int. Conf. for Innovation in Technology*, Bangluru, India, 2020, p. 8.
13. Fábio Passos, M. Helena Fino, and Elisenda R. Moreno. Fully Analytical Characterization of the Series Inductance of Tapered Integrated Inductors. *International Journal of Electronics and Telecommunications*, vol. 60, iss. 1, 2014, pp. 73-77.
14. Hua-Qing Xiao, Xiang-Zheng Xiong, and Cheng Liao. Contrast on Performances of Different Planar Pattern RFIC Spiral Inductors with Equal Perimeter. *IEEE MTT-S Int. Microwave Workshop Series on Art of Miniaturizing RF and Microwave Passive Components*, Chengdu, China, 2008, pp. 194-196.
15. Albert E. Ruehli, Giulio Antonini, Lijun Jiang. Skin-Effect Model for Round Wires in PEEC. *International Symposium on Electromagnetic Compatibility - EMC EUROPE*, Rome, Italy, 2012, p. 6.

16. Ren-Jia Chan, Jyh-Chyurn Guo. Analysis and Modeling of Skin and Proximity Effects for Millimeter-Wave Inductors Design in Nanoscale Si CMOS. *9th European Microwave Integrated Circuit Conference*, Rome, Italy, 2014, pp. 13-16.
17. F. M. Rotella, V. Blaschke, D. Howard. A Broad-Band Scalable Lumped-Element Inductor Model Using Analytic Expressions to Incorporate Skin Effect, Substrate Loss, and Proximity Effect. *Digest. International Electron Devices Meeting*, San Francisco, CA, USA, 2002, pp. 471-474.
18. Mussa. Elsaadi, Mazhar B. Tayel, D. P. Steenson. An Empirical Formula of Fringing Field Capacitance for MEMS Tunable Capacitor Actuators. *IEEE 1st Int. Maghreb Meeting of the Conference on Sciences and Techniques of Automatic Control and Computer Eng. MI-STA*, Tripoli, Libya, 2021, pp. 674-678.
19. Amaya Goni, Javier del Pino, Benito Gonzalez, Antonio Hernandez. An Analytical Model of Electric Substrate Losses for Planar Spiral Inductors on Silicon. *IEEE Transactions on Electron Devices*, vol. 54, iss. 3, 2007, pp. 546-553.
20. J. Sathyasree, Venkata Vanukuru, Deleep R. Nair, Anjan Chakravorty. A Substrate Model for On-Chip Tapered Spiral Inductors With Forward and Reverse Excitations. *IEEE Transactions on Electron Devices*, vol. 66, iss. 1, 2019, p. 4.
21. Sathyasree Jeyaraman, Venkata Vanukuru, Deleep Nair, Anjan Chakravorty. Compact Modeling of Series Stacked Tapered Spiral Inductors. *IEEE 19th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, Orlando, FL, USA, 2019, p. 3.
22. M. Danesh, J.R. Long. Differentially Driven Symmetric Microstrip Inductors. *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, iss. 1, 2002, pp. 332-341.
23. Ji Chen, J.J. Liou. Improved and Physics-Based Model for Symmetrical Spiral Inductors. *IEEE Transactions on Electron Devices*, vol. 53, iss. 6, 2006, pp. 1300-1309.
24. Maria Helena Fino. Using an Integrated Inductor Model in Qucs. *Proc. of the 21st International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Lublin, Poland, 2014, pp. 66-69.
25. Zolog M., Pitica D., Pop O. Characterization of Spiral Planar Inductors Built on Printed Circuit Boards. *30th Int.Spring Seminar on Electronics Technology*, Cluj-Napoca, Romania, 2007, pp.308-313.
26. Bo Han, Zhijian Tian, Daimu Wang. Analysis of Scalable Two-p Equivalent-Circuit Model for On-Chip Spiral Inductors. *International Journal of RF and Microwave Computer-Aided Engineering*, vol. 25, no. 2, 2015, pp. 93-100.
27. S.S. Mohan, M. del Mar Hershenson, S.P. Boyd, T.H. Lee. Simple Accurate Expressions for Planar Spiral Inductances. *IEEE Journal of Solid-State Circuits*, vol. 34, iss. 10, 1999, pp. 1419-1424.
28. Y.K. Koutsoyannopoulos, Y. Papananos. Systematic Analysis and Modeling of Integrated Inductors and Transformers in RF IC Design. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol.: 47, iss. 8, 2000, pp. 699-713.
29. Ji Chen, J.J. Liou. On-Chip Spiral Inductors for RF Applications: An Overview. *Journal of Semiconductor Technology and Science*, 2004, pp. 149-167.
30. Ahmed H. Shaltout, Stefano Gregori. Optimizing the Inductance Time-Constant Ratio of Polygonal Integrated Inductors. *IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS)*, Windsor, ON, Canada, 2018, pp. 448-451.
31. Heng-Ming Hsu, Jen-Zien Chang, Hung-Chi Chien. Coupling Effect of On-Chip Inductor With Variable Metal Width. *IEEE Microwave and Wireless Components Letters*, vol. 17, iss. 7, 2007, pp. 498-500.

Viktor V. Erokhin

Research scientist, «Systems on Chip» research laboratory, Omsk State Technical University (OmSTU, Omsk, Russia), e-mail: viktor_erohin@mail.ru, ORCID ID: 0000-0002-2520-1330.

Sergey A. Zavyalov

PhD in Technical Sciences, senior research scientist, «Systems on Chip» research laboratory, Omsk State Technical University (OmSTU, Omsk, Russia), ORCID ID: 0000-0001-5114-2074.